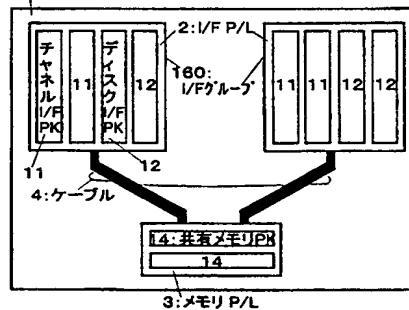


(51) 国際特許分類6 G06F 3/06	A1	(11) 国際公開番号 WO99/60471  (43) 国際公開日 1999年11月25日(25.11.99)
(21) 国際出願番号 PCT/JP98/02176  (22) 国際出願日 1998年5月18日(18.05.98) <i>18 Nov 99 / 30 mo</i>  (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 藤本和久(FUJIMOTO, Kazuhisa)(JP/JP) ✓ 藤林 昭(FUJIBAYASHI, Akira)(JP/JP) ✓ 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社 日立製作所 中央研究所内 Tokyo, (JP) 箕輪信幸(MINOWA, Nobuyuki)(JP/JP) ✓ 〒256-8510 神奈川県小田原市国府津2880番地 株式会社 日立製作所 ストレージシステム事業部内 Kanagawa, (JP) (74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100-8220 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)		(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)  添付公開書類 国際調査報告書
(54) Title: DISC ARRAY CONTROLLER ✓  (54) 発明の名称 ディスクアレイ制御装置  (57) Abstract It has been demanded to develop a large scale memory device system operable without interruption. Further, in order to cope with the recent trend toward open systems, scalability of performance and capacity is needed. Conventionally, internal buses, such as the ones which connect the channel I/F section to the shared memory section and the disc I/F section to the shared memory section, are mounted on one platter, and the package of the channel I/F and so forth are mounted thereon. When the internal buses have failed, the operation of the whole system must be stopped. There is another problem that the performance of the internal buses is fixed. A disc array controller according to the invention comprises an interface platter on which a channel interface section and a disc interface section are mounted, a memory platter on which a shared memory section is mounted, and a cable which connects the interface platter to the memory platter in order to solve the above problems.		

1: ディスクアレイ制御装置



- 1 ... Disc array controller
- 3 ... memory P/L
- 4 ... cable
- 11 ... channel I/F PK
- 12 ... disc I/F PK
- 14 ... shared memory PK
- 160 ... I/F group

本発明は、ディスクアレイ制御装置に関する。

大型の記憶装置システムでは、無停止運転が要求されている。  
また、近年のオープン化に対応するため、性能、容量のスケラビリティが要求されている。

しかし、従来は、チャネル I / F 部及びディスク I / F 部と共有メモリ部との間を接続する内部バス等は 1 つのプラッタ上に実装され、その上にチャネル I / F 等のパッケージを実装していたため、内部バスの障害時にはシステム全体を停止する必要があった。また、内部バスの性能が固定されるという問題があった。

そこで、本発明では、上記問題点を解決するために、チャネルインターフェース部と、ディスクインターフェース部とが実装されたインターフェースプラッタと、共有メモリ部が実装された上記インターフェースプラッタとは異なるメモリプラッタと、上記インターフェースプラッタと上記メモリプラッタとを接続するケーブルとを有するディスクアレイ制御装置を提供する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
CA	カナダ	HR	クロアチア		共和国	TR	トルコ
CF	中央アフリカ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CH	スイス	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CI	コートジボワール	IL	イスラエル	MW	マラウイ	US	米国
CM	カメルーン	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CJ	キューバ	JP	日本	NO	ノルウェー	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
CZ	チェコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

## 明 細 書

## ディスクアレイ制御装置

## 技術分野

- 5      本発明は、データを分割して複数の磁気ディスク装置に格納するディスクアレイ装置の制御装置に関する。

## 背景技術

- コンピュータの主記憶の I / O 性能に比べて、2 次記憶装置  
10      として用いられる磁気ディスク装置を使ったサブシステムの I / O 性能は 3 ～ 4 桁程度小さく、従来からこの差を縮めること、すなわちサブシステムの I / O 性能を向上する努力が各所でなされている。サブシステムの I / O 性能を向上させるための 1 つの方法として、複数の磁気ディスク装置でサブシステムを構成し、データを分割して複数の磁気ディスク装置に格納する装置、いわゆるディスクアレイと呼ばれるシステムが知られている。

- 例えば、従来技術では、第 2 図に示すようにホストコンピュータ 1 0 1 とディスク制御装置 5 との間のデータ転送を実行する複数のチャンネル I / F 部 1 1 1 と、磁気ディスク装置 1 2 0 とディスク制御装置 5 との間のデータ転送を実行する複数のディスク I / F 部 1 1 2 と、磁気ディスク装置 1 2 0 のデータを一時的に格納するキャッシュメモリ部 1 1 5 と、キャッシュメモリ部 1 1 5 及びディスク制御装置 5 に関する制御情報を格納する共有メモリ部 1 1 4 を備え、キャッシュメモリ部 1 1 5 お  
25

よび共有メモリ部 1 1 4 は全チャネル I / F 部 1 1 1 及び全ディスク I / F 部 1 1 2 からアクセス可能な構成となっている。この従来システムでは、チャネル I / F 部 1 1 1 及びディスク I / F 部 1 1 2 と共有メモリ部 1 1 4、または、チャネル I / F 部 1 1 1 及びディスク I / F 部 1 1 2 とキャッシュメモリ部 1 1 5 との間は 1 対 1 接続されていた。

また、他の従来技術では、第 3 図に示すようにホストコンピュータ 1 0 1 とディスク制御装置 6 間のデータ転送を実行する複数のチャネル I / F 部 1 1 1 と、磁気ディスク装置 1 2 0 とディスク制御装置 6 間のデータ転送を実行する複数のディスク I / F 部 1 1 2 と、磁気ディスク装置 1 2 0 のデータを一時的に格納するキャッシュメモリ部 1 1 5 と、キャッシュメモリ部 1 1 5 及びディスク制御装置 6 に関する制御情報を格納する共有メモリ部 1 1 4 を備え、各チャネル I / F 部 1 1 1 及びディスク I / F 部 1 1 2 と共有メモリ部 1 1 4 との間は共有バス 1 3 0 で接続され、各チャネル I / F 部 1 1 1 及びディスク I / F 部 1 1 2 とキャッシュメモリ部 1 1 5 との間は共有バス 1 3 0 により接続されていた。

## 20 発明の開示

大型の記憶装置システムは、銀行、証券、電話会社等大企業の中核となる計算機システムのデータ管理に使用され、その機能として 24 時間、365 日無停止運転を要求されている。また、近年はオープン化対応の要求も増加しており、小規模システムから大規模システムまでをサポートするために、性能、容

量のスケーラビリティが要求されている。

しかし、第2図または第3図に示す従来技術では、各チャンネル I / F 部 1 1 1 及びディスク I / F 部 1 1 2 と共有メモリ部 1 1 4 との間、または、各チャンネル I / F 部 1 1 1 及びディスク I / F 部 1 1 2 とキャッシュメモリ部 1 1 5 との間を接続する内部バスは1つのプラッタ上に実装され、その上にチャンネル I / F、ディスク I / F 等のパッケージを実装する形態をとっていた。そのため、内部バスの障害時にはプラッタ自体を交換する必要が生じ、システム全体を停止する必要があった。

10 また、内部バスがプラッタ上に実装されているため、その性能は固定されてしまいます。したがって、小規模システムでは内部バス性能がチャンネル I / F、ディスク I / F の性能に比べ十分すぎてコストパフォーマンスが悪化したり、大規模システムでは内部バス性能が不足して性能がスケーラブルに増加しないという問題が生じていた。

特にコストパフォーマンスに関しては、大型ディスクアレイの市場は装置の価格低下が激しく、装置の規模に見合ったコストパフォーマンスの良い製品が求められている。

そこで、本発明の目的は、第一に、障害保守時にシステム全体を停止させることのない24時間、365日無停止運転のディスクアレイ制御装置を提供すること、第二に、コストパフォーマンスを損なわず、性能、容量にスケーラビリティを持たせたディスクアレイ制御装置を提供することにある。

上記目的は、ホストコンピュータと接続されるチャンネルインターフェース部と、ディスク装置と接続されるディスクインタ

25

ーフェース部とが実装されたインターフェースプラッタと、制御情報を格納する共有メモリ部が実装されたメモリプラッタと、  
上記インターフェースプラッタと上記メモリプラッタとを接続するケーブルとを有するディスクアレイ制御装置により達成  
5 される。

また、上記目的は、それぞれに、ホストコンピュータと接続されるチャンネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部と、制御情報を格納する共有メモリ部とが実装された複数のプラッタと、上記複数のプラッタ間を接続するケーブルとを有するディスクアレイ制御装置により達成される。

また、上記目的は、ホストコンピュータと接続されるチャンネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部と、上記チャンネルインターフェース部と上記ディスクインターフェース部とを接続する共有バスと、上記共有バスに接続され、上記チャンネルインターフェース部及び上記ディスクインターフェース部からの要求を制御する共有バス制御部とが実装されたインターフェースプラッタと、制御情報を格納する共有メモリ部が実装されたメモリプラッタと、上記インターフェースプラッタと上記メモリプラッタとを接続するケーブルとを有するディスクアレイ制御装置によって達成される。

上述した本発明のディスクアレイ制御装置にはケーブルを用いているが、ケーブルのコストは高い。また、ケーブルを用いて、高周波でデータ転送を行うとノイズの問題も生じ易い。そこで、本発明の他の目的は、上述の本発明のディスクアレイ制

御装置を筐体の実装する場合において、上記ケーブル長をできるだけ短くすることにある。

上記他の目的は、ホストコンピュータと接続されるチャネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部とが実装されたインターフェースプラッタと、  
5 制御情報を格納する共有メモリ部が実装されたメモリプラッタとを有し、上記インターフェースプラッタの実装される向きと、上記メモリプラッタの実装される向きとが異なるディスクアレイ制御装置によって達成される。

10 また、上記他の目的は、それぞれに、ホストコンピュータと接続されるチャネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部とが実装された複数のインターフェースプラッタと、制御情報を格納する共有メモリ部が実装されたメモリプラッタとを有し、上記複数のインターフ  
15 ェースプラッタの間に上記メモリプラッタが実装されているディスクアレイ制御装置によって達成される。

また、上記他の目的は、それぞれに、ホストコンピュータと接続されるチャネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部と、制御情報を格納する  
20 共有メモリ部とが実装された複数のプラッタを有し、上記複数のプラッタの一のプラッタの上方に、上記複数のプラッタの他のプラッタが実装されているディスクアレイ制御装置によって達成される。

上記目的及び上記他の目的の他の解決手段は、「発明を実施  
25 するための最良の形態」の項で明らかにされる。

# 図面の簡単な説明

第 1 図は、本発明によるディスクアレイ制御装置の実装構成を示す図である。

5 第 2 図は、従来のディスクアレイ制御装置の構成を示す図である。

第 3 図は、従来のディスクアレイ制御装置の構成を示す図である。

10 第 4 図は、本発明によるディスクアレイ制御装置の構成を示す図である。

第 5 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 6 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

15 第 7 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 8 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

20 第 9 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 10 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 11 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図。

25 第 12 図は、本発明によるディスクアレイ制御装置の他の構成



成を示す図。

第 1 3 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 1 4 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 1 5 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 1 6 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

10 第 1 7 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 1 8 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

15 第 1 9 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 2 0 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 2 1 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

20 第 2 2 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 2 3 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

25 第 2 4 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 25 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 26 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

5 第 27 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 28 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

10 第 29 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 30 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 31 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

15 第 32 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 33 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

20 第 34 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 35 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 36 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

25 第 37 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

成を示す図である。

第 38 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 39 図は、本発明によるディスクアレイ制御装置の他の実  
5 装構成を示す図である。

第 40 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 41 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

10 第 42 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 43 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 44 図は、本発明によるディスクアレイ制御装置の他の実  
15 装構成を示す図である。

第 45 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 46 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

20 第 47 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 48 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 49 図は、本発明によるディスクアレイ制御装置の他の実  
25 装構成を示す図である。

第 5 0 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 5 1 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

5 第 5 2 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 5 3 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

10 第 5 4 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 5 5 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 5 6 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

15 第 5 7 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 5 8 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

20 第 5 9 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 6 0 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 6 1 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

25 第 6 2 図は、本発明によるディスクアレイ制御装置の他の実

装構成を示す図である。

第 6 3 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 6 4 図は、本発明によるディスクアレイ制御装置の他の構成を示す図である。

第 6 5 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 6 6 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

10 第 6 7 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 6 8 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 6 9 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 7 0 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 7 1 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

20 第 7 2 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 7 3 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

第 7 4 図は、本発明によるディスクアレイ制御装置の他の実装構成を示す図である。

25

第 7 5 図は、本発明によるディスクアレイ制御装置のプラットフォームの実装構成を示す図である。

第 7 6 図は、本発明によるディスクアレイ制御装置の他のプラットフォームの実装を示す図である。

5 第 7 7 図は、本発明によるディスクアレイ制御装置の筐体の実装を示す図である。

第 7 8 図は、本発明によるディスクアレイ制御装置の他の筐体の実装を示す図である。

10 第 7 9 図は、本発明によるディスクアレイ制御装置の他の筐体の実装を示す図である。

第 8 0 図は、本発明によるディスクアレイ制御装置の他のプラットフォーム間の接続を示す図である。

第 8 1 図は、本発明によるディスクアレイ制御装置の I / F 系のプラットフォームの実装を示す図である。

15 第 8 2 図は、本発明によるディスクアレイ制御装置のメモリ系のプラットフォームの実装を示す図である。

第 8 3 図は、本発明によるディスクアレイ制御装置の電源の実装を示す図である。

20 発明を実施するための最良の形態

以下、発明を実施するための最良の形態を、実施例を用いて説明する。

#### [ 実施例 1 ]

第 1 図及び第 4 図に、本発明の一実施例を示す。

25 第 4 図は、本発明におけるディスクアレイ制御装置内の構成

を示している。ディスクアレイ制御装置 1 は、チャンネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、共有メモリ部 1 1 4、及び、アクセスパス 0 (1 3 5) を有している。

チャンネル I / F 部 1 1 1 は、ホストコンピュータとの少なくとも 5 つの I / F、少なくとも 1 つのマイクロプロセッサ、共有メモリ部 1 1 4 への少なくとも 1 つのアクセス回路（本実施例では 2 つ）、及び、共有メモリ部 1 1 4 への少なくとも 1 つ（本実施例では 2 つ）のアクセスパス I / F（いずれも図示していない）とを有しし、ホストコンピュータ 1 0 1 と共有メモリ部 1 1 4 間のデータ転送を実行する。 10

ディスク I / F 部 1 1 2 は、複数の磁気ディスク装置 1 2 0 との少なくとも 1 つの I / F、少なくとも 1 つのマイクロプロセッサ、共有メモリ部 1 1 4 への少なくとも 1 つのアクセス回路（本実施例では 2 つ）、及び、共有メモリ部 1 1 4 への少なくとも 1 つ（本実施例では 2 つ）のアクセスパス I / F（いずれも図示していない）を有し、複数の磁気ディスク装置 1 2 0 と共有メモリ部 1 1 4 間のデータ転送を実行する。 15

共有メモリ部 1 1 4 は、磁気ディスク装置 1 2 0 へ記録するデータ、そのデータの管理情報、及び、ディスクアレイ制御装置 1 の管理情報を格納するメモリ部と、各 I / F 部との少なくとも 1 つ（本実施例では 8 つ）のアクセスパス I / F（いずれも図示していない）とを有している。 20

本実施例では 2 つのチャンネル I / F 部 1 1 1 及び 2 つのディスク I / F 部 1 1 2 で 1 つのグループを形成し、I / F グループ 1 6 0 と呼ぶ。本実施例では、ディスクアレイ制御装置 1 が 25

2つのI/Fグループ160を有する。

ここで、I/Fグループ160の個数は、上記に限定されない。I/Fグループの個数は、共有メモリ部に繋がるアクセスパス数、チャンネルI/F部及びディスクI/F部を保守するための管理単位（I/F部の数）等によって変わる。例えば、ディスクアレイ制御装置の最小構成をひとまとまりとした単位で1つのI/Fグループを構成することが考えられる。

第1図は、ディスクアレイ制御装置1を筐体内に実装するときの構成を示している。第4図に示したチャンネルI/F部111、ディスクI/F部112、及び共有メモリ部114は、それぞれ独立したパッケージである、チャンネルI/Fパッケージ(PK)11、ディスクI/Fパッケージ(PK)12、及び共有メモリパッケージ(PK)14に実装する。そして、チャンネルI/F PK11及びディスクI/F PK12、すなわち、I/Fグループ160を1つのI/Fプラッタ(P/L)2上に実装し、共有メモリPK14を2つまとめて、I/F P/L2とは異なる1つのメモリプラッタ(P/L)3上に実装する。そして、I/F P/L2とメモリP/L3との間を、ケーブル4により接続する。このケーブル4は、チャンネルI/F部111またはディスクI/F部112と、共有メモリ部114を接続するアクセスパス0(135)用のケーブルである。

なお、チャンネルI/Fパッケージ(PK)11、ディスクI/Fパッケージ(PK)12、及び共有メモリパッケージ(PK)14を、すべて異なるプラッタに実装してもよい。

上記のように各I/F PKをある単位でまとめて1つのI/F



F P / L 上に実装することで、プラッタの障害時には、該プラッタに実装されているパッケージが分担している部分のみを停止して、該プラッタを交換することが可能となるので、システム全体を停止する必要がなくなる。また、アクセスパス 0 ( 1 3 5 ) は、ケーブル 4 で構成するので、各 I / F P K を実装した I / F P / L 2 の増減に対応して、アクセスパス 0 ( 1 3 5 ) を容易に増減することができ、アクセスパス 0 の性能をスケラブルに変更することができる。したがって、小規模なシステムから大規模なシステムまで、コストパフォーマンスを損なうことなく、性能、容量をスケラブルに変更することが可能となる。また、システムの規模に見合った価格で製品を提供することが可能となる。

[ 実施例 2 ]

第 3 1 図及び第 3 2 図に、本発明の他の実施例を示す。

15 本実施例が、実施例 1 と異なるのは、第 4 図の 2 つの共有メモリ部 1 1 4 の間を、第 3 1 図に示すように、アクセスパス 2 ( 1 3 9 ) で繋ぎ、二重化した点である。

第 3 2 図は、第 3 1 図のディスクアレイ制御装置 1 を筐体の実装する場合の構成を示している。2 つの共有メモリ部 1 1 4  
20 をそれぞれ独立した共有メモリ P K 1 4 上に実装し、その 2 つの共有メモリ P K 1 4 をそれぞれ異なるメモリ P / L 3 上に実装する。メモリ P / L 3 間をケーブル 2 ( 4 - 9 ) で接続し、1 つの I / F P / L 2 と、2 つのメモリ P / L 3 との間を、それぞれケーブル 4 で接続する。ケーブル 2 ( 4 - 9 ) は、第 3  
25 1 図のアクセスパス 2 ( 1 3 9 ) 用のケーブルである。

かかる構成により、実施例 1 で説明した効果を得られることは勿論のこと、さらに、共有メモリ部 114 を二重化しているので、一方の共有メモリ P K 1 4 またはメモリ P / L 3 に障害が発生した場合でも、もう一方のメモリ P / L 3 に実装されている共有メモリ P K 1 4 で運転を続けることができる。このため、システムを停止することなく、障害が発生した共有メモリ P K 1 4 またはメモリ P / L 3 を交換することが可能となる。

本実施例では、共有メモリ部 114 間をアクセスパス 2 (139) で接続して二重化したが、チャンネル I / F 部 111 あるいはディスク I / F 部 112 から 2 つの共有メモリ部 114 へ二重にデータを書き込む処理をすることによっても二重化が可能である。この場合には、共有メモリ部 114 間をアクセスパス 2 (139) で接続しなくてもよい。しかし、アクセスパス 2 (139) で接続してあれば、2 つの共有メモリ部 114 間で直接データの確認等が可能となるため、信頼性が向上するという効果を得られる。

### [実施例 3]

第 45 図に、本発明の他の実施例を示す。本実施例も実施例 2 と同様に、共有メモリ部 114 の二重化を実現するものである。すなわち、2 つの共有メモリ部 114 をそれぞれ独立した共有メモリ P K 1 4 上に実装し、それらを 1 つのメモリ P / L 3 上に実装する。このメモリ P / L 3 は、電源境界 300 で 2 つの領域に分割されており、その 2 つの領域には、それぞれ独立した電源から電力が供給される。その 2 つの領域に、それぞれ 1 つの共有メモリ P K 1 4 を実装する。そして、1 つの I /

F P / L 2 とメモリ P / L 3 内の 2 つの領域との間を、ケーブル 4 で接続する。

これにより、実施例 1 で説明した効果を得られることは勿論のことさらに、メモリ P / L 3 内の電源境界 3 0 0 によって分割されたどちらか一方の領域の共有メモリ P K 1 4 に障害が発生した場合、もう一方の領域に実装されている共有メモリ P K 1 4 で運転を続けることができるため、システムを停止することなしに障害が発生した共有メモリ P K 1 4 を交換することが可能となる。

#### 10 [実施例 4]

第 1 7 図及び第 1 8 図に、本発明の他の実施例を示す。本実施例が実施例 1 と異なるのは、第 1 7 図に示すように、磁気ディスク装置 1 2 0 に記録するデータを格納するキャッシュメモリ部 1 1 5 と、キャッシュメモリ部 1 1 5 及びディスクアレイ制御装置 1 に関する制御情報を格納する共有メモリ部 1 1 4 とを物理的に分割し、共有メモリ部 1 1 4 へのアクセスパス a ( 1 3 7 ) と、キャッシュメモリ部 1 1 5 へのアクセスパス b ( 1 3 8 ) とを独立させる構成とした点である。

第 1 8 図は、第 1 7 図のディスクアレイ制御装置 1 を筐体 20 に実装する場合の構成を示したものである。キャッシュメモリ部 1 1 5 、及び共有メモリ部 1 1 4 を、それぞれ独立したパッケージであるキャッシュメモリ P K 1 5 、及び共有メモリ P K 1 4 に実装し、それらをメモリ P / L 3 上に実装する。そして、I / F P / L 2 とメモリ P / L 3 間を接続する第 1 図のケーブル 4 を、共有メモリ部 1 1 4 へのアクセスパス a ( 1 3 7 ) 用

のケーブル a (4-3) と、キャッシュメモリ部 115 へのアクセスパス b (138) 用のケーブル b (4-4) とに分離する。

5   なお、共有メモリ PK 14 とキャッシュメモリ PK 15 とを、異なるプラッタ上に実装してもよい。

これにより、実施例 1 で説明した効果を得られることは勿論のこと、さらに、チャンネル I/F PK 11、及びディスク I/F PK 12 から、キャッシュメモリ PK 15、または共有メモリ PK 14 へのアクセスパスを物理的に独立させることができ、  
10   キャッシュメモリ部 115 へのアクセスに関する障害（キャッシュメモリ部 115 とそれにアクセスするためのパス等の障害）と共有メモリ部 114 へのアクセスに関する障害（共有メモリ部 114 とそれにアクセスするためのパス等の障害）を  
15   区別することが可能となり、お互いに影響を与えることなく、独立に保守することが可能となる。

[ 実施例 5 ]

第 53 図及び第 54 図に、本発明の他の実施例を示す。本実施例が実施例 4 と異なるのは、第 53 図に示すように、2 つの共有メモリ部 114 間をアクセスパス a 2 (140) で繋ぎ、  
20   また 2 つのキャッシュメモリ部 115 間をアクセスパス b 2 (141) で繋ぎ、それらを二重化した点である。

第 54 図は、第 53 図に示すディスクアレイ制御装置 1 を筐体に実装した場合の構成を示したものである。2 つの共有メモリ部 114 及び 2 つのキャッシュメモリ部 115 をそれぞれ独立した共有メモリ PK 14 及びキャッシュメモリ PK 15 上に  
25

実装し、1つの共有メモリPKと1つのキャッシュメモリPKとの組をを、1つのメモリP/L3上に実装し、2つのメモリP/L3間を、ケーブルa2(4-10)及びケーブルb2(4-11)で接続する。また、1つのI/F P/L2と2つのメモリP/L3との間を、ケーブルa(4-3)とケーブルb(4-4)で接続する。ケーブルa2(4-10)及びケーブルb2(4-11)は、それぞれアクセスパスa2(140)用及びアクセスパスb2(141)用のケーブルである。

これにより、実施例4で説明した効果を得られることは勿論のことさらに、一方の共有メモリPK14、キャッシュメモリPK15、またはメモリP/L3に障害が発生した場合、もう一方のメモリP/L3に実装した共有メモリPK14またはキャッシュメモリPK15で運転を続けることができるため、システムを停止することなしに障害が発生した共有メモリPK14、キャッシュメモリPK15、またはメモリP/L3を交換することが可能となる。

本実施例では、共有メモリ部114間をアクセスパスa2(140)で、キャッシュメモリ部115間をアクセスパスb2(141)で接続して二重化したが、チャネルI/F部111またはディスクI/F部112から、2つの共有メモリ部114、または2つのキャッシュメモリ部115へ二重にデータを書き込む処理をすることによっても二重化が可能である。この場合には、共有メモリ部114間、キャッシュメモリ部115間を、アクセスパスa2(140)、またはアクセスパスb2(141)で接続しなくてもよい。しかし、アクセスパスa2(

1 4 0)、またはアクセスパ b 2 (1 4 1) で接続してあれば、  
2つの共有メモリ部 1 1 4 間、または2つのキャッシュメモリ  
部 1 1 5 間で直接データの確認等が可能となるため、信頼性が  
向上する。

5 [実施例 6]

第 6 7 図に、本発明の他の実施例を示す。本実施例では、第  
6 7 図に示すように、2つの共有メモリ部 1 1 4 及び2つのキ  
ャッシュメモリ部 1 1 5 を、それぞれ独立した共有メモリ P K  
1 4 及びキャッシュメモリ P K 1 5 上に実装し、それらを、実  
10 施例 3 で説明した電源境界 3 0 0 で2つの領域に分割された1  
つのメモリ P / L 3 上に実装する。その2つの領域に、それぞ  
れ1つの共有メモリ P K 1 4 とキャッシュメモリ P K 1 5 とを  
実装する。そして、1つの I / F P / L 2 とメモリ P / L 3 内  
の2つの領域との間を、それぞれケーブル a (4 - 3) とケー  
15 ブル b (4 - 4) とで接続する。本実施例では、かかる構成に  
より、共有メモリ部 1 1 4 及びキャッシュメモリ部 1 1 5 を二  
重化している。

これにより、実施例 4 で説明した効果を得られることは勿論  
のこと、さらに、メモリ P / L 3 内の電源境界 3 0 0 によって  
20 分割されたどちらか一方の領域の共有メモリ P K 1 4、または  
キャッシュメモリ P K 1 5 に障害が発生した場合、もう一方の  
領域に実装されている共有メモリ P K 1 4 及びキャッシュメモ  
リ P K 1 5 で運転を続けることができるため、システムを停止  
することなしに障害が発生した領域に実装されている共有メモ  
25 リ P K 1 4、またはキャッシュメモリ P K 1 5 を交換すること

が可能となる。

[ 実施例 7 ]

第 5 図に、本発明の他の一実施例を示す。

第 5 図に示すディスクアレイ制御装置 1 は、チャンネル I / F  
5 部 1 1 1 及びディスク I / F 部 1 1 2 と、それらを接続する 2  
本の共有バス 0 ( 3 1 ) と、共有メモリ部 1 1 4 と、共有メモ  
リ部 1 1 4 間を接続する 2 本の共有バス 1 ( 3 2 ) と、共有バ  
ス 0 ( 3 1 ) と共有バス 1 ( 3 2 ) とを接続するための共有バ  
ス間接続制御部 1 4 0 と、アクセスバス 0 ( 1 3 5 ) とを有し  
10 ている。

チャンネル I / F 部 1 1 1 は、ホストコンピュータとの少なく  
とも 1 つの I / F と、少なくとも 1 つのマイクロプロセッサと、  
共有メモリ部 1 1 4 への少なくとも 1 つのアクセス回路（本実  
施例では 2 つ）と、共有バス 0 ( 3 1 ) との少なくとも 1 つ（  
15 本実施例では 2 つ）の I / F（いずれも図示していない）とを  
有し、ホストコンピュータ 1 0 1 と共有メモリ部 1 1 4 間のデ  
ータ転送を実行する。

ディスク I / F 部 1 1 2 は、複数の磁気ディスク装置 1 2 0  
との少なくとも 1 つの I / F と、少なくとも 1 つのマイクロ  
20 プロセッサと、共有メモリ部 1 1 4 への少なくとも 1 つのアクセ  
ス回路（本実施例では 2 つ）と、共有バス 0 ( 3 1 ) との少な  
くとも 1 つ（本実施例では 2 つ）の I / F（いずれも図示して  
いない）とを有し、複数の磁気ディスク装置 1 2 0 と共有メモ  
リ部 1 1 4 間のデータ転送を実行する。

25 共有メモリ部 1 1 4 は、磁気ディスク装置 1 2 0 へ記録する

データ、そのデータの管理情報、及び、ディスクアレイ制御装置の管理情報を格納するメモリ部と、共有バス 1 (32) との少なくとも 1 つ (本実施例では 2 つ) の I / F (いずれも図示していない) とを有している。

- 5        1 本の共有バスには 1 つの共有バス間接続制御部 140 を接続する。また、共有バス 1 (32) に繋がる共有バス間接続制御部 140 は、所属 I / F グループ 160 が異なる 2 つの共有バス間接続制御部 140 から 1 本ずつ、計 2 本のアクセスバス 0 (135) を有する。
- 10        チャンネル I / F 部 111 またはディスク I / F 部 112 から共有メモリ部 114 へアクセスする場合、チャンネル I / F 部 111、または、ディスク I / F 部 112 内の SM アクセス回路 (図示していない) は、共有バス 0 (31) の使用权を獲得した後、共有バス 0 (31) に繋がる共有バス間接続制御部 140
- 15        0 へアクセスし、共有バス 1 (32) へのアクセス要求を伝える。共有バス間接続制御部 140 は、共有バス 1 (32) に繋がる共有バス間接続制御部 140 へアクセス要求を送出する。共有バス 1 (32) に繋がる共有バス間接続制御部 140 は、共有バス 1 (32) に繋がる共有バス間接続制御部 140 に接
- 20        続されている異なる 2 つの共有バス間接続制御部 140 から、アクセス要求があった場合には、その内の 1 つをアービトレーションにより選択した後、共有バス 1 (32) の使用权を獲得する。使用权獲得後、共有バス 1 (32) に繋がる共有バス間接続制御部 140 は、アクセス要求を共有メモリ部へ送出する。
- 25        本実施例では 2 つのチャンネル I / F 部 111 及び 2 つのディ



スク I / F 部 1 1 2、2 本の共有バス 0 ( 3 1 )、及び 2 つの共有バス間接続制御部 1 4 0 で 1 つのグループを形成する。以下、このグループを I / F グループ 1 6 0 と呼ぶ。本実施例では、ディスクアレイ制御装置 1 を 2 つの I / F グループ 1 6 0 により構成している。

ここで、I / F グループの個数は上記に制限されない。チャンネル I / F 部及びディスク I / F 部を保守するための管理単位 ( I / F 部の数 ) 等によって、上記個数は変わる。例えば、ディスクアレイ制御装置の最小構成をひとまとまりとした単位で 1 つの I / F グループを構成することが考えられる。また、本実施例では、共有バス 0 ( 3 1 ) を 2 本にしたが、1 本にしてもよい。しかし、共有バスを 2 本にすることにより、共有メモリ部 1 1 4 へのアクセスパスが冗長化され、耐障害性が向上する。

第 5 図に示したディスクアレイ制御装置 1 を筐体内に実装するときの構成は、実施例 1 で説明した、第 1 図に示す構成と同様である。実施例 1 の場合と異なるのは、I / F P / L 2 上に共有バス 0 ( 3 1 ) を配線し、共有バス間接続制御部 1 4 0 を直接実装する点、1 つのメモリプラッタ P / L 上に共有バス 1 ( 3 2 ) を配線し、共有バス間接続制御部 1 4 0 を直接実装する点である。

かかる構成による利点は、次のとおりである。すなわち、アクセスパスをケーブルで構成すると、それをプラッタ上に直接実装する場合に比べ、コストが高くなる。また、数本のケーブルを用いて、高い周波数でデータ転送を行う場合には、それら

のケーブル長を高精度でそろえないと、ノイズの発生原因となる。実施例 1 で説明したディスクアレイ制御装置のように、チャンネル I / F P k 1 1 及びチャンネル I / F P K 1 2 と、共有メモリ P K 1 4 との間のアクセスパス 0 をすべてケーブルを用いて構成するほうが、スケーラビリティの面では有利である。しかし、上述のように、ケーブルを多用することは、コスト及び実装の面で不利な場合がある。そこで、本実施例では、I / F P / L 2 上に共有バス 0 ( 3 1 ) を配線し、共有バス間接続制御部 1 4 0 を直接実装し、1 つのメモリプラッタ P / L 上に共有バス 1 ( 3 2 ) を配線し、共有バス間接続制御部 1 4 0 を直接実装することにより、実施例 1 のディスクアレイ制御装置よりも使用するケーブルの本数を減らしている。これにより、従来技術よりはスケーラビリティの面で有利であり、かつ、実施例 1 で説明したディスクアレイ制御装置よりもコスト及び実装の面で有利なディスクアレイ制御装置を提供することができる。

さらに、本実施例では、共有バス 0 ( 3 1 ) 及び共有バス 1 ( 3 2 ) と、それらに接続される共有バス間接続制御部 1 4 0 を二重化しているので、1 つのチャンネル I / F 部 1 1 1 またはディスク I / F 部 1 1 2 から 1 つの共有メモリ部 1 1 4 へのアクセスルートを 2 つ有することとなる。したがって、本実施例では、第 1 図に示した 1 本のケーブル 4 を 2 本に分け、二重化したアクセスパス 0 ( 1 3 5 ) 用に 1 本ずつ割り当てることができる。これにより、二重化したアクセスパス 0 ( 1 3 5 ) の一方に障害が発生した場合でも、他方のアクセスパス 0 ( 1 3 5 ) を使用してシステムの運転を続行できる。そして、その間

に障害が発生したアクセスパス 0 ( 1 3 5 ) 用のケーブル 4 を交換することが可能となる。

[ 実施例 8 ]

第 3 4 図に、本発明の他の実施例を示す。第 3 4 図に示すディスク  
5 アレイ制御装置 1 では、2 本の共有バス 1 ( 3 2 ) に繋がる 2 つの共有メモリ部 1 1 4 と、2 つの共有バス間接続制御部 1 4 0 とで、1 つのグループを形成し、そのグループ 2 つで共有メモリを構成する。一方のグループ内の 2 つの共有メモリ部 1 1 4 と、他方のグループ内のそれらとを、それぞれアクセス  
10 スパス 2 ( 1 3 9 ) で繋ぎ、二重化する。すなわち、本実施例は、実施例 7 で説明した第 5 図に示す上記共有メモリ部 1 1 4 のグループを二重化したものである。

第 3 4 図に示すディスクアレイ制御装置 1 を筐体の実装した場合の構成は、実施例 2 で説明した、第 3 2 図に示す構成と同  
15 様である。ただし、第 3 4 図に示す 4 つの共有メモリ部 1 1 4 は、それぞれ独立した共有メモリ P K 1 4 上に実装され、その共有メモリ P K 1 4 は、上記共有メモリ部 1 1 4 のグループ毎に、それぞれ異なるメモリ P / L 3 上に実装される。したがって、本実施例では、1 つの上記グループは、2 つの共有メモリ  
20 部 1 1 4 を有しているので、1 つのメモリ P / L 3 には、2 つの共有メモリ P K 1 4 が実装されることになる ( 第 3 2 図には、1 枚の共有メモリ P K 1 4 しか図示していない ) 。この点で、本実施例は、実施例 2 と相違する。また、メモリ P / L 3 上には共有バス 1 ( 3 2 ) を配線し、2 つの共有バス間接続制御部  
25 1 4 0 を直接実装 ( いずれも図示していない ) する点でも、本

実施例と実施例 2 とは相違する。

これにより、実施例 2 及び実施例 7 で説明した効果を得ることができる。

本実施例では、共有メモリ部 1 1 4 間をアクセスパス 2 ( 1  
5 3 9 ) で接続して二重化するとしたが、チャンネル I / F 部 1 1  
1 またはディスク I / F 部 1 1 2 から二重化された 2 つの共有  
メモリ部 1 1 4 へ二重にデータを書き込む処理をすることによ  
っても二重化が可能であり、この場合には、共有メモリ部 1 1  
4 間をアクセスパス 2 ( 1 3 9 ) で接続しなくてもよい。しか  
10 し、アクセスパス 2 ( 1 3 9 ) で接続してあれば、2 つの共有  
メモリ部 1 1 4 間で直接データの確認等が可能となるため、信  
頼性が向上する。

また、上記共有メモリ部 1 1 4 のグループの実装は、実施例  
3 で説明した第 4 5 図と同様にしてもよい。すなわち、それぞ  
15 れ独立した電源から電力が供給され、電源境界 3 0 0 で分割さ  
れたメモリ P / L 3 の 2 つの領域に、それぞれ 1 つの上記共有  
メモリ部 1 1 4 のグループを実装する。

これにより、メモリ P / L 3 内の電源境界 3 0 0 によって分  
割されたどちらか一方の領域の共有メモリ P K 1 4 に障害が発  
20 生しても、もう一方の領域に実装されている共有メモリ P K 1  
4 で運転を続けることができるため、システムを停止すること  
なしに障害が発生した共有メモリ P K 1 4 を交換することが可  
能となる。

#### [ 実施例 9 ]

25 第 2 0 図に、本発明の他の実施例を示す。本実施例は、実施

例 7 で説明した第 5 図のディスクアレイ制御装置 1 において、  
実施例 4 で説明したのと同様に、キャッシュメモリ部と共有メモリ部とを物理的に分割する。また、本実施例では、第 5 図の共有バス 0 (31) を、磁気ディスク装置 120 のデータを転  
5 送する共有バス b 0 (35) と、キャッシュメモリ部 115 及びディスクアレイ制御装置 1 に関する制御情報を転送する共有バス a 0 (33) に分割し、チャンネル I / F 部 111 及びディスク I / F 部 112 を、共有バス a 0 (33) と共有バス b 0 (35) の両方に接続する。さらに、第 5 図の共有バス 1 (32) を、磁気ディスク装置 120 のデータを転送する共有バス  
10 b 1 (36) と、キャッシュメモリ部 115 及びディスクアレイ制御装置 1 に関する制御情報を転送する共有バス a 1 (34) に分割し、キャッシュメモリ部 115 を共有バス b 1 (36) に、共有メモリ部 114 を共有バス a 1 (34) にそれぞれ  
15 接続する。そして、共有バス a 0 (33) と共有バス a 1 (34) との間、及び共有バス b 0 (35) と共有バス b 1 (36) との間を、共有バス間接続制御部 140 を介して、それぞれ、アクセスパス a (137)、及びアクセスパス b (138) で接続する。

20 第 20 図に示すディスクアレイ制御装置 1 を筐体の実装した場合の構成は、実施例 4 で説明した第 18 図と同様の構成になる。ただし、第 20 図の 2 つのキャッシュメモリ部 115、及び 2 つの共有メモリ部 114 は、それぞれ独立したパッケージである 2 つのキャッシュメモリ P K 15、及び 2 つの共有メモリ P K 14 に実装され、それらはメモリ P / L 3 上に実装され  
25

る。メモリ P / L 3 上には、共有バス a 1 ( 3 4 ) と共有バス  
b 1 ( 3 6 ) とを配線し、共有バス間接続制御部 1 4 0 を直接  
実装する ( いずれも図示していない ) 。 I / F P / L 2 上には、  
共有バス a 0 ( 3 3 ) と共有バス b 0 ( 3 5 ) を配線し、共有  
5 バス間接続制御部 1 4 0 を直接実装する ( いずれも図示してい  
ない ) 。また、I / F P / L 2 とメモリ P / L 3 間を接続する  
ケーブルを、第 2 0 図に示す共有メモリ部 1 1 4 へのアクセス  
バス a ( 1 3 7 ) 用のケーブル a ( 4 - 3 ) と、第 2 0 図に示  
すキャッシュメモリ部 1 1 5 へのアクセスバス b ( 1 3 8 ) 用  
10 のケーブル b ( 4 - 4 ) とに分離する。

これにより、実施例 7 で説明した効果を得られることは勿論  
のこと、さらに、チャネル I / F P K 1 1 、及びディスク I /  
F P K 1 2 から、キャッシュメモリ P K 1 5 、または共有メモ  
リ P K 1 4 へのアクセスバスが物理的に独立しているので、キ  
15 ャッシュメモリ部 1 1 5 へのアクセスに関する障害 ( キャッ  
シュメモリ部 1 1 5 とそれにアクセスするための共有バス b 0  
( 3 5 ) 、共有バス b 1 ( 3 6 ) 、共有バス間接続制御部 1 4  
0 、アクセスバス b ( 1 3 8 ) 等の障害 ) と、共有メモリ部 1  
1 4 へのアクセスに関する障害 ( 共有メモリ部 1 1 4 とそれ  
20 にアクセスするための共有バス a 0 ( 3 3 ) 、共有バス a 1 ( 3  
4 ) 、共有バス間接続制御部 1 4 0 、アクセスバス a ( 1 3  
7 ) 等の障害 ) とを区別することが可能となり、お互いに影響  
を与えることなしに、独立に保守することが可能となる。

#### [ 実施例 1 0 ]

25 第 5 6 図に、本発明の他の実施例を示す。本実施例では、第

5 6 図に示すように、2本の共有バス a 1 (3 4) に繋がる2  
つの共有メモリ部 1 1 4 と2つの共有バス間接続制御部 1 4 0  
とを1つのグループとして、その2つのグループで共有メモリ  
を構成する。そして、一方のグループ内の2つの共有メモリ部  
5 1 1 4 と、他方のグループ内のそれらとを、それぞれアクセス  
バス a 2 (1 4 0) で繋ぎ、二重化する。また、2本の共有バ  
ス b 1 (3 6) に繋がる2つのキャッシュメモリ部 1 1 5 と2  
つの共有バス間接続制御部 1 4 0 とを1つのグループとして、  
その2つのグループでキャッシュメモリを構成する。そして、  
10 一方のグループ内の2つのキャッシュメモリ部 1 1 5 と、他方  
のそれらとをアクセスバス b 2 (1 4 1) で繋ぎ、二重化する。

すなわち、本実施例は、実施例 9 で説明した、第 2 0 図に示  
す共有メモリ部 1 1 4 のグループ及びキャッシュメモリ部 1 1  
5 のグループを、それぞれ二重化したものである。

15 第 5 6 図のディスクアレイ制御装置 1 を筐体を実装した場合  
の構成は、実施例 5 で説明した第 5 4 図と同様である。ただし、  
第 5 6 図に示した4つの共有メモリ部 1 1 4 及び4つのキャッ  
シュメモリ部 1 1 5 は、それぞれ独立した共有メモリ P K 1 4  
及びキャッシュメモリ P K 1 5 上に実装され、1つの共有メモ  
20 リのグループ、及び1つのキャッシュメモリのグループが、1  
つのメモリ P / L 3 上に実装される。また、メモリ P / L 3 上  
に共有バス a 1 (3 4) と共有バス b 1 (3 6) を配線し、4  
つの共有バス間接続制御部を直接実装する。また、I / F P /  
L 2 上には、共有バス a 0 (3 3) と共有バス b 0 (3 5) と  
25 を配線し、共有バス間接続制御部 1 4 0 を直接実装する (いず

れも図示していない)。メモリ P / L 3 間を、ケーブル a 2 (4 - 1 0) 及びケーブル b 2 (4 - 1 1) で接続する。1 つの I / F P / L 2 と、2 つのメモリ P / L 3 との間を、ケーブル a (4 - 3) とケーブル b (4 - 4) で接続する。ケーブル a 2 (4 - 1 0) は第 5 6 図のアクセスパス a 2 (1 4 0) 用、ケーブル b 2 (4 - 1 1) は第 5 6 図のアクセスパス b 2 (1 4 1 用) のケーブルである。

これにより、実施例 5 及び実施例 9 で説明した効果を得ることができる。

10 本実施例では、共有メモリ部 1 1 4 間をアクセスパス a 2 (1 4 0) で、またキャッシュメモリ部 1 1 5 間をアクセスパス b 2 (1 4 1) で接続することにより二重化したが、チャンネル I / F 部 1 1 1 あるいはディスク I / F 部 1 1 2 から二重化された 2 つの共有メモリ部 1 1 4、または 2 つのキャッシュメモリ部 1 1 5 へ二重にデータを書き込む処理をすることによって  
15 も二重化が可能である。この場合には、共有メモリ部 1 1 4 間、またはキャッシュメモリ部 1 1 5 間をアクセスパス a 2 (1 4 0)、またはアクセスパス b 2 (1 4 1) で接続しなくてもよい。しかし、接続してあれば、2 つの共有メモリ部 1 1 4 間、または 2 つのキャッシュメモリ部 1 1 5 間で直接データの確認等が  
20 可能となるため、信頼性が向上する。

また、共有メモリ部 1 1 4 のグループ及びキャッシュメモリ部 1 1 5 のグループを第 6 7 図のように実装してもよい。すなわち、共有メモリ部 1 1 4 及びキャッシュメモリ部 1 1 5 を、  
25 それぞれ独立した共有メモリ P K 1 4 及びキャッシュメモリ P



K 1 5 上に実装する。これらを、それぞれ独立した電源から電力が供給され、電源境界 3 0 0 で分割されたメモリ P / L 3 上の 2 つの領域に実装する。そして、I / F P / L 2 と、メモリ P / L 3 内の 2 つの領域との間を、ケーブル a ( 4 - 3 ) とケーブル b ( 4 - 4 ) とで接続する。この場合、メモリ P / L 3 の 1 つの領域内の共有メモリ P K 1 4 及びキャッシュメモリ P K 1 5 の数はそれぞれ 2 枚となる ( 第 6 7 図ではそれぞれ 1 枚しか図示していない ) 。

これにより、メモリ P / L 3 内の電源境界 3 0 0 によって分割されたどちらか一方の領域の共有メモリ P K 1 4 、またはキャッシュメモリ P K 1 5 に障害が発生した場合、もう一方の領域に実装されている共有メモリ P K 1 4 、またはキャッシュメモリ P K 1 5 で運転を続けることができるため、システムを停止することなしに障害が発生した共有メモリ P K 1 4 、または  
15 キャッシュメモリ P K 1 5 を交換することが可能となる。

[ 実施例 1 1 ]

第 6 図及び第 7 図に、本発明の他の実施例を示す。

第 7 図は、本発明におけるディスクアレイ制御装置内の構成を示している。ディスクアレイ制御装置 1 は、チャンネル I / F  
20 部 1 1 1 、ディスク I / F 部 1 1 2 、セクタ部 1 1 3 、共有メモリ部 1 1 4 、アクセスバス 0 ( 1 3 5 ) 、及びアクセスバス 1 ( 1 3 6 ) とを有している。

チャンネル I / F 部 1 1 1 、ディスク I / F 部 1 1 2 、及び共有メモリ部 1 1 4 の構成は、実施例 1 で説明した構成と同様で  
25 ある。

セクタ部 1 1 3 には、2 つのチャネル I / F 部 1 1 1、2 つのディスク I / F 部 1 1 2 からそれぞれ 1 本ずつ、計 4 本のアクセスパス 0 ( 1 3 5 ) が接続される。また、セクタ部 1 1 3 には、2 つの共有メモリ部 1 1 4 へのアクセスパス 1 ( 1 3 6 ) を 1 本ずつ、計 2 本が接続される。これら 1 つのセクタ部 1 1 3 と、それに繋がる 2 つのチャネル I / F 部 1 1 1 及び 2 つのディスク I / F 部 1 1 2 とで 1 つのグループを形成する。以下、このグループをセクタグループ 1 5 0 と呼ぶ。本実施例では、ディスクアレイ制御装置 1 は、2 つのセクタグループ 1 5 0 と、2 つの共有メモリ部 1 1 4 とを有している。上記のようなアクセスパス数の関係があるため、セクタ部 1 1 3 ではチャネル I / F 部 1 1 1 及びディスク I / F 部 1 1 2 からの 4 本のアクセスパス 0 ( 1 3 5 ) からの要求の内、共有メモリ部 1 1 4 へのアクセスパス 1 ( 1 3 6 ) の数に相当する 2 個だけを選択して実行する。

ここで、1 つのセクタ部 1 1 3 から共有メモリ部 1 1 4 へ接続されるアクセスパス 1 ( 1 3 6 ) の数を、チャネル I / F 部 1 1 1 及びディスク I / F 部 1 1 2 から 1 つのセクタ部 1 1 3 に接続されるアクセスパス 0 ( 1 3 5 ) の数より少なくし、チャネル I / F 部 1 1 1 とディスク I / F 部 1 1 2 の合計数よりもセクタ部 1 1 3 の数が少なくなるように上記個数を設定することが重要である。これにより、それぞれの共有メモリ部 1 1 4 へ接続されるアクセスパス数を削減することができるので、使用するケーブルの本数を削減でき、コスト面、実装面で有利だからである。また、共有メモリ部の L S I ピンネック及

びパッケージのコネクタネックを解消することができるからである。

なお、I / F グループ内のチャネル I / F 部及びディスク I / F 部の数は、それらを保守するための管理単位（I / F 部の数）等によって変わる。例えば、ディスクアレイ制御装置の最小構成をひとまとまりとした単位で1つのI / F グループを構成することが考えられる。

第6図は、ディスクアレイ制御装置1を筐体の実装するときの構成を示している。

10 第7図に示したチャネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、セクタ部 1 1 3、及び共有メモリ部 1 1 4 は、それぞれ独立したパッケージである、チャネル I / F パッケージ（P K）1 1、ディスク I / F パッケージ（P K）1 2、セクタパッケージ（P K）1 3、共有メモリパッケージ（P K）1 4 に実装する。セクタグループ 1 5 0 を1つの I / F プラッタ（P / L）2 上に実装し、共有メモリ P K 1 4 を2つまとめて、I / F P / L 2 とは異なる1つのメモリプラッタ（P / L）3 上に実装する。そして、I / F P / L 2 とメモリ P / L 3 との間を、ケーブル 1（4 - 2）で接続する。このケーブルは、  
15 第7図に示したアクセスパス 1（1 3 6）用のケーブルである。

ここでは、セクタ部 1 1 3 をセクタ P K 1 3 上に実装するとしたが、セクタ部 1 1 3 をパッケージ上に実装せず、第8図に示すように、I / F P / L 2 のパッケージを実装する面と反対の面（図では裏面）に実装しても本実施例を実施する上  
20 で問題はない。これにより、セクタ P K 1 3 の幅だけ I / F

P / L 2 の幅を狭めることが可能となり、ディスクアレイ制御装置 1 の筐体を小さくすることが可能となる。

かかる構成により実施例 1 で説明した効果を得ることができるとともに、さらに、セレクト部 1 1 3 を設けることにより、  
5 共有メモリ部 1 1 4 へ接続されるアクセスパス数を削減することができ、使用するケーブルの本数を削減でき、コスト面、実装面で有利となる。また、共有メモリ部の L S I ピンネック及びパッケージのコネクタネックを解消することができる。

以下、本実施例の変形例を示す。

10 第 3 7 図は、実施例 2 と同様に、2 つの共有メモリ部 1 1 4 間をアクセスパス 2 ( 1 3 9 ) で繋ぎ、キャッシュメモリ部を二重化したものを示している。第 3 8 図は、第 3 7 図のディスクアレイ制御装置 1 を筐体の実装した場合の構成を示したものである。第 3 7 図の 2 つの共有メモリ部 1 1 4 をそれぞれ独立  
15 した共有メモリ P K 1 4 上に実装し、2 つの共有メモリ P K 1 4 をそれぞれ異なるメモリ P / L 3 上に実装する。メモリ P / L 3 間を、ケーブル 2 ( 4 - 9 ) で接続し、1 つの I / F P / L 2 と 2 つのメモリ P / L 3 との間を、ケーブル 1 ( 4 - 2 ) で接続する。ケーブル 2 ( 4 - 9 ) は、第 3 7 図のアクセスパ  
20 ス 2 ( 1 3 9 ) 用のケーブルである。

これにより、実施例 2 で説明した効果を得ることができる。

本実施例では、共有メモリ部 1 1 4 間をアクセスパス 2 ( 1 3 9 ) で接続して二重化するとしたが、チャネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、またはセレクト部 1 1 3 から二  
25 重化された 2 つの共有メモリ部 1 1 4 へ二重にデータを書き込

む処理をすることによっても二重化が可能である。この場合には、共有メモリ部 1 1 4 間をアクセスパス 2 ( 1 3 9 ) で接続しなくてもよい。しかし、アクセスパス 2 ( 1 3 9 ) で接続してあれば、2 つの共有メモリ部 1 1 4 間で直接データの確認等  
5 が可能となるため、信頼性が向上する。

この場合も、第 4 0 図に示すように、セクタ部 1 1 3 を I / F P / L 2 のパッケージを実装する面と反対の面 ( 図では裏面 ) に実装してもよい。

第 4 7 図のように、2 つの共有メモリ部 1 1 4 を実装することによっても、共有メモリ部 1 1 4 の二重化が可能である。すなわち、2 つの共有メモリ部 1 1 4 を、それぞれ独立した共有メモリ P K 1 4 上に実装し、それらを、実施例 3 と同様に、電源境界 3 0 0 で 2 つの領域に分割されたメモリ P / L 3 上に実装する。  
10

15 これにより、実施例 3 で説明した効果を得ることができる。

この場合も、第 4 9 図に示すように、セクタ部 1 1 3 を I / F P / L 2 のパッケージを実装する面と反対の面 ( 図では裏面 ) に実装してもよい。

第 2 3 図は、磁気ディスク装置 1 2 0 に記録するデータを格納するキャッシュメモリ部 1 1 5 と、キャッシュメモリ部 1 1 5 及びディスクアレイ制御装置 1 に関する制御情報を格納する共有メモリ部 1 1 4 とに物理的に分割し、キャッシュメモリ部 1 1 5 に繋がるセクタ ( C M セクタ部 1 2 3 ) と、共有メモリ部 1 1 4 に繋がるセクタ ( S M セクタ部 1 1 3 ) を物理的に独立させ、共有メモリ部 1 1 4 へのアクセスパス a 0 (   
20  
25

1 3 1) 及びアクセスパス a 1 (1 3 2) と、キャッシュメモリ部 1 1 5 へのアクセスパス b 0 (1 3 3) 及びアクセスパス b 1 (1 3 4) とを独立させた変形例である。

第 2 4 図は、第 2 3 図のディスクアレイ制御装置 1 を筐体に  
5 実装した場合の構成を示す。S Mセクタ部 1 1 3 及びC Mセクタ部 1 2 3 をそれぞれ独立したパッケージ、S Mセクタパッケージ (P K) 1 3 及びC Mセクタパッケージ (P K) 2 3 に実装する。また、キャッシュメモリ部 1 1 5 及び共有メモリ部 1 1 4 を、それぞれ独立したパッケージ、キャッシュメモリ P K 1 5 及び共有メモリ P K 1 4 に実装し、それらをメモリ P / L 3 上に実装する。図 2 4 では、第 6 図に示した I / F P / L 2 とメモリ P / L 3 間を接続するケーブル 1 (4 - 2) を、共有メモリ部 1 1 4 へのアクセスパス a 1 (1 3 2) 用のケーブル a 1 (4 - 7) と、キャッシュメモリ部 1 1 5 へのアクセスパス b 1 (1 3 4) 用のケーブル b 1 (4 - 8) とに分離している。  
10  
15

これにより、チャネル I / F P K 1 1、及びディスク I / F P K 1 2 から、キャッシュメモリ P K 1 5、または共有メモリ P K 1 4 へのアクセスパスを物理的に独立させることができ、  
20 キャッシュメモリ部 1 1 5 へのアクセスに関する障害 (キャッシュメモリ部 1 1 5 とそれにアクセスするためのセクタ部 (C Mセクタ部) 1 2 3、アクセスパス b 0 (1 3 3)、アクセスパス b 1 (1 3 4) 等の障害) と、共有メモリ部 1 1 4 へのアクセスに関する障害 (共有メモリ部 1 1 4 とそれにアクセスするためのセクタ部 (S Mセクタ部) 1 1 3、アク  
25

セスパス a 0 ( 1 3 1 ) 、アクセスパス a 1 ( 1 3 2 ) 等の障害) とを区別することが可能となり、お互いに影響を与えることなしに、独立に保守することが可能となる。

この場合も、第 2 6 図に示すように、 S M セレクタ部 1 1 3  
5 及び C M セレクタ部 1 2 3 を I / F P / L 2 のパッケージを実装する面と反対の面 ( 図では裏面 ) に実装してもよい。

第 5 9 図は、 2 つの共有メモリ部 1 1 4 間をアクセスパス a  
2 ( 1 4 0 ) で繋ぎ、また 2 つのキャッシュメモリ部 1 1 5 間  
をアクセスパス b 2 ( 1 4 1 ) で繋ぎ、それぞれを二重化した  
10 変形例である。

第 6 0 図は、第 5 9 図のディスクアレイ制御装置 1 を筐体に  
実装した場合の構成を示している。第 5 9 図では、実施例 5 の  
ように、 2 つの共有メモリ部 1 1 4 及び 2 つのキャッシュメモ  
リ部 1 1 5 をそれぞれ独立した共有メモリ P K 1 4 及びキャッ  
15 シュメモリ P K 1 5 上に実装し、メモリ P / L 3 上に、 1 つの  
共有メモリ P K 1 4 と 1 つのキャッシュメモリ P K 1 5 とを実  
装し、 2 つのメモリ P / L 3 間を、ケーブル a 2 ( 4 - 1 0 )  
及びケーブル b 2 ( 4 - 1 1 ) で接続する。また、 1 つの I /  
F P / L 2 と 2 つのメモリ P / L 3 との間を、ケーブル a 1 ( 4  
20 4 - 7 ) とケーブル b 1 ( 4 - 8 ) とで接続する。ケーブル a  
2 ( 4 - 1 0 ) 及びケーブル b 2 ( 4 - 1 1 ) は、それぞれ第  
5 9 図のアクセスパス a 2 ( 1 4 0 ) 用、アクセスパス b 2 ( 1  
4 1 ) 用のケーブルである。

これにより、実施例 5 に説明した効果を得ることができる。

25 第 5 9 図及び第 6 0 図では、共有メモリ部 1 1 4 間をアクセ

スパス a 2 ( 1 4 0 ) で、またキャッシュメモリ部 1 1 5 間を  
アクセスパス b 2 ( 1 4 1 ) で接続して二重化するとしたが、  
チャンネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、または S  
Mセクタ部 1 1 3 若しくは CMセクタ部 1 2 3 から、二重  
5 化された 2 つの共有メモリ部 1 1 4、または 2 つのキャッシュ  
メモリ部 1 1 5 へ二重にデータを書き込む処理をすることによ  
っても二重化が可能である。この場合は、共有メモリ部 1 1 4  
間、またはキャッシュメモリ部 1 1 5 間をアクセスパス a 2 ( 1 4 0 )、またはアクセスパス b 2 ( 1 4 1 ) で接続しなくても  
10 よい。しかし、アクセスパス a 2 ( 1 4 0 )、またはアクセス  
パス b 2 ( 1 4 1 ) で接続してあれば、2 つの共有メモリ部 1 1  
4 間、または 2 つのキャッシュメモリ部 1 1 5 間で直接データ  
の確認等が可能となるため、信頼性が向上する。

この場合も、第 6 2 図に示すように、SMセクタ部 1 1 3  
15 及び CMセクタ部 1 2 3 を I / F P / L 2 のパッケージを実  
装する面と反対の面 ( 図では裏面 ) に実装してもよい。

第 6 9 図は、2 つの共有メモリ部 1 1 4 及び 2 つのキャッシ  
ュメモリ部 1 1 5 を、実施例 6 と同様に実装した変形例である。  
すなわち、それぞれ独立した共有メモリ P K 1 4 及びキャッシ  
20 ュメモリ P K 1 5 上に実装し、それらを、電源境界 3 0 0 で 2  
つの領域に分割したメモリ P / L 3 に実装する。

これにより、実施例 6 で説明した効果を得ることができる。

この場合も、第 7 1 図に示すように、SMセクタ部 1 1 3  
及び CMセクタ部 1 2 3 を I / F P / L 2 のパッケージを実  
25 装する面と反対の面 ( 図では裏面 ) に実装してもよい。



## [ 実施例 1 2 ]

第 9 図 及び 第 1 0 図 に、本 発 明 の 他 の 一 実 施 例 を 示 す。

第 1 0 図 は、本 発 明 に お け る デ ィ ス ク ア レ イ 制 御 装 置 内 の 構  
成 を 示 し て い る。デ ィ ス ク ア レ イ 制 御 装 置 1 は、チャネル I /  
5 F 部 1 1 1、デ ィ ス ク I / F 部 1 1 2、セ レ ク タ 部 1 1 3、共  
有 メ モ リ 部 1 1 4 と、ア ク セ ス パ ス 0 ( 1 3 5 )、ア ク セ ス パ  
ス 1 ( 1 3 6 ) と を 有 し て い る。こ れ ら の 構 成 は、実 施 例 1 1  
で 説 明 し も の と 基 本 的 に 同 じ で あ る。

た だ し、本 実 施 例 で は、チャネル I / F 部 1 1 1、及 び デ ィ  
10 ス ク I / F 部 1 1 2 は、2 つ の ア ク セ ス パ ス 0 ( 1 3 5 ) を 有  
し、1 本 は 自 セ レ ク タ グ ル ー プ 1 5 0 内 の セ レ ク タ 部 1 1 3 に  
接 続 さ れ、も う 1 本 は 他 方 の セ レ ク タ グ ル ー プ 1 5 0 内 の セ レ  
ク タ 部 1 1 3 に 接 続 さ れ て い る。し た が っ て、チャネル I / F  
部 1 1 1、ま た は デ ィ ス ク I / F 部 1 1 2 か ら 共 有 メ モ リ 部 1  
15 1 4 へ の ア ク セ ス ル ー ト は 2 つ 存 在 す る。通 常 は 2 つ の ア ク セ  
ス ル ー ト を 使 用 し て 負 荷 を 均 衡 し、障 害 等 に よ り 1 つ の ア ク セ  
ス ル ー ト が 使 用 不 能 に な っ た 場 合 は、も う 一 方 の ア ク セ ス ル ー  
ト を 使 用 す る こ と に よ っ て、処 理 を 継 続 す る こ と が 可 能 で あ る。  
こ の よ う に 互 い の セ レ ク タ グ ル ー プ 内 の セ レ ク タ へ の ア ク セ ス  
20 パ ス を 有 す る 2 つ の セ レ ク タ グ ル ー プ を 交 代 系 1 5 5 と 呼 ぶ こ  
と に す る。

1 つ の セ レ ク タ 部 1 1 3 に、自 セ レ ク タ グ ル ー プ 1 5 0 内 の  
2 つ の チャネル I / F 部 1 1 1 及 び 2 つ の デ ィ ス ク I / F 部 1  
1 2 か ら そ れ ぞ れ 1 本 ず つ、さ ら に、他 セ レ ク タ グ ル ー プ 1 5  
25 0 内 の 2 つ の チャネル I / F 部 1 1 1 及 び 2 つ の デ ィ ス ク I /

F部112からそれぞれ1本ずつ、計8本のアクセスパス0（135）を接続する。さらに、1つのセクタ部113に、2つの共有メモリ部114へのアクセスパス1（136）を2本ずつ、計4本を接続する。上記のようなアクセスパス数の関係があるため、セクタ部113ではチャンネルI／F部111及びディスクI／F部112からの8本のアクセスパス0（135）からの要求の内、共有メモリ部114へのアクセスパス1（136）の数に相当する4個だけを選択して実行する。本実施例では、ディスクアレイ制御装置1を1つの交代系155と2つの共有メモリ部とを有している。

ここで、1つのセクタ部113から共有メモリ部114へ接続されるアクセスパス1（136）の数を、チャンネルI／F部111及びディスクI／F部112から1つのセクタ部113に接続されるアクセスパス0（135）の数より少なくし、チャンネルI／F部111とディスクI／F部112の合計数よりもセクタ部113の数が少なくなるように上記個数を設定することが重要である。これにより、それぞれの共有メモリ部114へ接続されるアクセスパス数を削減することができ、使用するケーブルの本数を削減でき、コスト面で有利だからである。また、共有メモリ部のLSIピンネック及びパッケージのコネクタネックを解消することができるからである。

また、I／Fグループ内のチャンネルI／F部及びディスクI／F部の数は、それらを保守するための管理単位（I／F部の数）等によって変わる。例えば、ディスクアレイ制御装置の最小構成をひとまとまりにして、1つの交代系155を形成し、

その交代系 1 5 5 を複数備えることが考えられる。

第 9 図は、ディスクアレイ制御装置 1 を筐体の実装するときの構成を示している。第 10 図に示したチャンネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、セクタ部 1 1 3、及び共有メモリ部 1 1 4 は、それぞれ独立したパッケージである、チャンネル I / F パッケージ (P K) 1 1、ディスク I / F パッケージ (P K) 1 2、セクタパッケージ (P K) 1 3、共有メモリパッケージ (P K) 1 4 に実装する。そして、1 つのセクタ P K 1 3 とそれに繋がるチャンネル I / F P K 1 1 及びディスク I / F P K 1 2、すなわち、セクタグループ 1 5 0 を 1 つの I / F プラッタ (P / L) 2 上に実装し、2 つの共有メモリ P K 1 4 を、I / F P / L 2 とは異なる 1 つのメモリプラッタ (P / L) 3 上に実装する。そして、I / F P / L 2 とメモリ P / L 3 との間を、ケーブル 1 (4 - 2) により接続する。このケーブルは、セクタ部 1 1 3 と共有メモリ部 1 1 4 を接続する第 10 図のアクセスパス 1 (1 3 6) のためのものである。交代系を形成する 2 つの I / F P / L 2 間をケーブル 0 (4 - 1) により接続する。このケーブルは、自セクタグループ 1 5 0 内のチャンネル I / F 部 1 1 1 及びディスク I / F 部 1 1 2 と、他セクタグループ内のセクタ部 1 1 3 とを接続する第 10 図のアクセスパス 0 (1 3 5) のためのものである。

ここで、ケーブル 0 (4 - 1) を 2 本にし、一方のセクタグループ 1 5 0 内の I / F 部ともう一方のセクタグループ 1 5 0 内のセクタ部 1 1 3 との間をアクセスパス 0 (1 3 5) 用のケーブルと、一方のセクタグループ 1 5 0 内のセクタ

部 1 1 3 と もう 一方の セレクタ グループ 1 5 0 内の I / F 部 間  
の アクセス パス 0 ( 1 3 5 ) 用の ケーブル と を 分離 すること に  
より、 一方の アクセス パス 0 ( 1 3 5 ) に 障害 が 発生 し、 それ  
用の ケーブル 0 ( 4 - 1 ) を 交換 する 場合 でも、 もう 一方の ア  
5 クセス パス 0 ( 1 3 5 ) に 影響 を 与 え ず に 済 む。

こ こ で は、 セレクタ 部 1 1 3 を セレクタ P K 1 3 上 に 実 装 す  
る と し た が、 セレクタ 部 1 1 3 を パッケージ 上 に 実 装 せ ず、 第  
8 図 と 同 様 に、 I / F P / L 2 の パッケージ を 実 装 する 面 と 反  
対 の 面 ( 図 で は 裏 面 ) に 実 装 し て も よ い。

10 上 記 の よ う に、 各 I / F P K の アクセス パス を 自 I / F P  
/ L 2 内 の セレクタ P K 1 3 だ け で な く、 交 代 系 を 形 成 する 他  
の I / F P / L 2 内 の セレクタ P K 1 3 に 接 続 する こと で、 1  
つ の I / F P / L 2 上 の セレクタ P K 1 3 に 障害 が 発生 し た 場  
合、 該 セレクタ P K 1 3 を 交換 する 際 に、 該 セレクタ P K 1 3  
15 と 同 じ I / F P / L 2 上 に 実 装 さ れ て い る 各 I / F P K は 別  
の I / F P / L 2 上 の セレクタ 部 1 1 3 を 介 し て 共有 メモリ 部  
1 1 4 に アクセス する こと が 可能 と なる た め、 障害 を 起 こ し た  
セレクタ 部 1 1 3 が ある セレクタ グループ 1 5 0 内 の 各 インタ  
ーフェース 部 を 停止 さ せる 必要 が な くなる。 こ れ に よ り、 シス  
20 テム 内 の 停止 する 部 位 を 削減 する こと が 可能 と なる。

以 下、 本 実 施 例 の 変 形 例 を 示 す。

な お、 以 下 の 変 形 例 に お い て、 セレクタ 部 1 1 3 お、 I / F  
P / L 2 の パッケージ を 実 装 する 面 と 反 対 の 面 ( 図 で は 裏 面 )  
に 実 装 し て も よ い。

25 第 4 2 図 は、 実 施 例 2 の よ う に、 2 つ の 共有 メモリ 部 1 1 4

間をアクセスパス 2 ( 1 3 9 ) で繋ぎ、二重化した変形例である。

第 4 3 図は、第 4 2 図に示したディスクアレイ制御装置 1 を筐体の実装した場合の構成を示す。2 つの共有メモリ部 1 1 4  
5 をそれぞれ独立した共有メモリ P K 1 4 上に実装し、それら共有メモリ P K 1 4 を異なるメモリ P / L 3 上に実装し、メモリ P / L 3 間を、ケーブル 2 ( 4 - 9 ) で接続する。また、1 つの I / F P / L 2 と 2 つのメモリ P / L 3 との間を、ケーブル 1 ( 4 - 2 ) で接続する。ケーブル 2 ( 4 - 9 ) は、第 4 2 図  
10 のアクセスパス 2 ( 1 3 9 ) 用のケーブルである。

これにより、実施例 2 で説明した効果を得ることができる。

本変形例では、共有メモリ部 1 1 4 間をアクセスパス 2 ( 1 3 9 ) で接続して二重化するとしたが、チャネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、またはセクタ部 1 1 3 から二  
15 重化された 2 つの共有メモリ部 1 1 4 へ二重にデータを書き込む処理をすることによっても二重化が可能である。この場合には、共有メモリ部 1 1 4 間をアクセスパス 2 ( 1 3 9 ) で接続しなくてもよい。しかし、アクセスパス 2 ( 1 3 9 ) で接続してあれば、2 つの共有メモリ部 1 1 4 間で直接データの確認等  
20 が可能となるため、信頼性が向上する。

第 5 1 図は、共有メモリ部 1 1 4 を二重化する他の変形例を示している。すなわち、実施例 3 と同様に、2 つの共有メモリ部 1 1 4 をそれぞれ独立した共有メモリ P K 1 4 上に実装し、それらを、電源境界 3 0 0 で分割されたメモリ P / L 3 の 2 つ  
25 の領域に実装する。

これにより、実施例 3 で説明した効果を得ることができる。

第 28 図は、磁気ディスク装置 120 に記録するデータを格納するキャッシュメモリ部 115 と、キャッシュメモリ部 115 及びディスクアレイ制御装置 1 に関する制御情報を格納する共有メモリ部 114 とに物理的に分割し、キャッシュメモリ部 115 に繋がるセクタ (CM セクタ部) 123 と、共有メモリ部 114 に繋がるセクタ (SM セクタ部) 113 とを物理的に独立させ、共有メモリ部 114 へのアクセスパス a0 (131) 及びアクセスパス a1 (132) と、キャッシュメモリ部 115 へのアクセスパス b0 (133) 及びアクセスパス b1 (134) とを独立させた変形例である。

第 29 図は、第 28 図のディスクアレイ制御装置 1 を筐体の実装した場合の構成を示している。SM セクタ部 113 及び CM セクタ部 123 を、それぞれ独立したパッケージである SM セクタパッケージ (PK) 13 及び CM セクタパッケージ (PK) 23 に実装する。キャッシュメモリ部 115 及び共有メモリ部 114 を、それぞれ独立したパッケージであるキャッシュメモリ PK 15 及び共有メモリ PK 14 に実装し、それらをメモリ P/L3 上に実装する。そして、第 9 図に示した I/F P/L2 とメモリ P/L3 との間を接続するケーブル 1 (4-2) を、第 29 図に示すように、共有メモリ部 114 へのアクセスパス a1 (132) 用のケーブル a1 (4-7) と、キャッシュメモリ部 115 へのアクセスパス b1 (134) 用のケーブル b1 (4-8) とに分離する。また、I/F P/L2 間を接続するケーブル 0 (4-1) を、共有メモリ部 114

へのアクセスパス a 0 ( 1 3 1 ) 用のケーブル a 0 ( 4 - 5 ) と、キャッシュメモリ部 1 1 5 へのアクセスパス b 0 ( 1 3 3 ) 用のケーブル b 0 ( 4 - 6 ) とに分離する。

これにより、チャネル I / F P K 1 1、及びディスク I / F  
5 P K 1 2 から、キャッシュメモリ P K 1 5、または共有メモリ P K 1 4 へのアクセスパスを物理的に独立させることができ、キャッシュメモリ部 1 1 5 へのアクセスに関する障害（キャッシュメモリ部 1 1 5 とそれにアクセスするためのセクタ部（C Mセクタ部） 1 2 3、アクセスパス b 0 ( 1 3 3 )、ア  
10 クセスパス b 1 ( 1 3 4 ) 等の障害）と、共有メモリ部 1 1 4 へのアクセスに関する障害（共有メモリ部 1 1 4 とそれにアクセスするためのセクタ部（S Mセクタ部） 1 1 3、アクセスパス a 0 ( 1 3 1 )、アクセスパス a 1 ( 1 3 2 ) 等の障害）とを区別することが可能となり、お互いに影響を与えるこ  
15 となしに、独立に保守することが可能となる。

第 6 4 図は、実施例 5 と同様に、2 つの共有メモリ部 1 1 4 間をアクセスパス a 2 ( 1 4 0 ) で繋ぎ、2 つのキャッシュメモリ部 1 1 5 間をアクセスパス b 2 ( 1 4 1 ) で繋ぎ、それぞれ二重化した変形例である。第 6 5 図は、第 6 4 図のディスク  
20 アレイ制御装置 1 を筐体の実装した場合の構成を示している。第 6 5 図が示すように、2 つの共有メモリ部 1 1 4 及び 2 つのキャッシュメモリ部 1 1 5 を、それぞれ独立した共有メモリ P K 1 4 及びキャッシュメモリ P K 1 5 上に実装し、1 つの共有メモリ P K 1 4 とキャッシュメモリ P K 1 5 とを、1 つのメモリ P / L 3 上に実装し、メモリ P / L 3 間を、ケーブル a 2 (

4-10) 及びケーブル b 2 (4-11) で接続する。また、  
I/F P/L 2 とメモリ P/L 3 との間を、ケーブル a 1 (4-7) とケーブル b 1 (4-8) とで接続する。ケーブル a 2 (4-10) 及びケーブル b 2 (4-11) は、それぞれアクセスパス a 2 (140) 用、アクセスパス b 2 (141) 用のケーブルである。

これにより、実施例 5 で説明した効果を得ることができる。

ここでは、共有メモリ部 114 間をアクセスパス a 2 (140) で、またキャッシュメモリ部 115 間をアクセスパス b 2 (141) で接続して二重化するとしたが、チャンネル I/F 部 111、ディスク I/F 部 112、または、SMセクタ部 113 若しくは CMセクタ部 123 から、2つの共有メモリ部 114、または2つのキャッシュメモリ部 115 へ二重にデータを書き込む処理をすることによっても二重化が可能である。

15 この場合には、共有メモリ部 114 間、またはキャッシュメモリ部 115 間をアクセスパス a 2 (140)、またはアクセスパス b 2 (141) で接続しなくてもよい。しかし、アクセスパス a 2 (140)、またはアクセスパス b 2 (141) で接続してあれば、2つの共有メモリ部 114 間、または2つのキャッシュメモリ部 115 間で直接データの確認等が可能となるため、信頼性が向上する。

第 73 図は、実施例 6 と同様に、2つの共有メモリ部 114 及び2つのキャッシュメモリ部 115 を、それぞれ独立した共有メモリ PK 14 及びキャッシュメモリ PK 15 上に実装し、

25 それらを、電源境界 300 で分割されたメモリ P/L 3 に実装



変形例である。

これにより、実施例 6 で説明した効果を得ることができる。

[ 実施例 1 3 ]

第 1 1 図に、本発明の他の実施例を示す。

5 第 1 1 図は、実施例 1 で説明した第 4 図のディスクアレイ制御装置 1 を筐体内に実装するときの一構成を示している。第 4 図のチャンネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、及び共有メモリ部 1 1 4 を、それぞれ独立したパッケージである、チャンネル I / F パッケージ ( P K ) 1 1、ディスク I / F パッケージ ( P K ) 1 2、及び共有メモリパッケージ ( P K ) 1 4  
10 に実装する。2 つのチャンネル I / F P K 1 1、2 つのディスク I / F P K 1 2、及び 1 つの共有メモリ P K 1 4 を 1 つの I / F プラッタ ( P / L ) 2 上に実装する。ここでは、このグループをクラスタ ( 1 6 5 , 1 6 6 ) と呼ぶ。

15 すなわち、本実施例では、チャンネル I / F P K 1 1、ディスク I / F P K 1 2 とともに、共有メモリ P K 1 4 を I / F P / L 2 上に実装する点で、実施例 1 で説明した第 1 図の実装構成と異なる。

本実施例では、ディスクアレイ制御装置 1 は、2 つのクラスタ、クラスタ 0 ( 1 6 5 )、クラスタ 1 ( 1 6 6 ) とを有して  
20 いる。ここで、クラスタの個数、1 つのクラスタ内のチャンネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、及び共有メモリ部 1 1 3 の個数は、上記に制限されない。これらの個数は、ディスクアレイ制御装置のシステムの最小構成、最大構成、及びシ  
25 ステムの拡張単位によって決まる。言い換えれば、システムに

要求される性能、コスト、スケーラビリティ等によって決まる。  
例えば、ディスクアレイ制御装置の最小構成をひとまとまりとした単位で1つのクラスタを構成することが考えられる。

I / F P / L 2 の増設時には、増設する I / F P / L 2 と  
5 既設の I / F P / L 2 との間を、2本のケーブル4で接続する。  
このケーブル4は、一方のクラスタ内のチャンネル I / F 部 1 1  
1 またはディスク I / F 部 1 1 2 と、もう一方の共有メモリ部  
1 1 4 との間を接続する第4図のアクセスパス 0 ( 1 3 5 ) 用  
のケーブルである。

10 また本実施例では、2つのクラスタのそれぞれに共有メモリ  
P K 1 4 を実装したが、1つのクラスタ内にディスクアレイ制  
御装置 1 内全ての共有メモリ P K 1 4 を実装し、その他のクラ  
スタ内には共有メモリ P K 1 4 を実装しないとしても問題はな  
い。これにより、第 1 1 図のクラスタ間を接続するケーブル 4  
15 が 1 本に減り、その分コストを下げる事が可能になる。

本実施例のディスクアレイ制御装置は、実施例 1 で説明した  
ディスクアレイ制御装置に比べ、使用するケーブル数を削減す  
ることができるので、コスト面、実装面で有利となる。

第 3 3 図、第 4 6 図、第 1 9 図、第 5 5 図、第 6 8 図は、本  
20 実施例の変形例を示すものである。これらは、それぞれ実施例  
2 乃至 6 で説明したディスクアレイ制御装置の他の実装構成を  
示すものであるが、これらは、実施例 2 乃至 6 で説明したディ  
スクアレイ制御装置の実装構成と、チャンネル I / F P K 1 1 、  
ディスク I / F P K 1 2 とともに、共有メモリ P K 1 4 を I /  
25 F P / L 2 上に実装する点で異なるだけなので、以下簡単に説

明する。これらの変形例により、対応する実施例 2 乃至 6 で説明した効果を得ることができることはいうまでもない。

第 3 3 図は、実施例 2 で説明した第 3 1 図のディスクアレイ制御装置 1 の一実装構成を示したものである。第 3 3 図は、クラスタに 1 つの共有メモリ P K 1 4 を実装している点で、実施例 2 で説明した第 3 2 図と異なる。

第 4 6 図は、実施例 3 で説明した第 4 5 図の実装構成を変形したものである。2 組の共有メモリ P K 1 4 をそれぞれ異なる I / F P / L 2 上に実装する。その I / F P / L 2 を電源境界 3 0 0 で 2 つの領域に分割し、2 つの領域には 2 つの独立した電源からそれぞれ電力が供給される。そして、二重化された 2 つの共有メモリ P K 1 4 をそれぞれ供給電源が異なる領域に実装する。

第 1 9 図は、実施例 4 で説明した第 1 7 図のディスクアレイ制御装置 1 の一実装構成を示したものである。第 1 9 図は、1 つの共有メモリ P K 1 4 と 1 つのキャッシュメモリ P K 1 5 とをクラスタに実装した点で、実施例 4 で説明した第 1 8 図と異なるだけである。

第 5 5 図は、実施例 5 で説明した第 5 3 図のディスクアレイ制御装置 1 の一実装構成を示したものである。第 5 5 図は、1 つの共有メモリ P K 1 4 と 1 つのキャッシュメモリ P K 1 5 とをクラスタに実装した点で、実施例 5 で説明した第 5 4 図と異なるだけである。

第 6 8 図は、実施例 6 で説明した第 6 7 図の実装構成を変形したものである。I / F P / L 2 を電源境界 3 0 0 で 2 つの領

域に分割し、2つの領域に、独立した電源からそれぞれ電力を供給する。この供給電源が異なる領域に、それぞれ1つの共有メモリ P K 1 4 と1つのキャッシュメモリ P K 1 5 を実装する。

[ 実施例 1 4 ]

5 第 1 2 図に、本発明の他の一実施例を示す。

第 1 2 図は、本発明における他のディスクアレイ制御装置内の構成を示している。ディスクアレイ制御装置 1 は、チャンネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、共有メモリ部 1 1 4、それらを接続する2本の共有バス 0 ( 3 1 )、異なるクラスタの共有バス 0 ( 3 1 ) の間を接続するための共有バス間接続制御部 1 4 0、及びアクセスバス 0 ( 1 3 5 ) を有している。チャンネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、共有メモリ部 1 1 4 は、実施例 7 で説明した構成と同様である。

本実施例では2つのチャンネル I / F 部 1 1 1、2つのディスク I / F 部 1 1 2、1つの共有メモリ部 1 1 4、2本の共有バス 0 ( 3 1 )、及び、2つの共有バス間接続制御部 1 4 0 で1つのグループを形成する。ここでは、このグループをクラスタと呼ぶ。本実施例では、ディスクアレイ制御装置 1 は2つのクラスタ ( 1 6 5、1 6 6 ) を有している。

20 共有バス間接続制御部 1 4 0 は、異なるクラスタの共有バス間を接続する役目を果たし、以下のように動作する。

一のクラスタ内のチャンネル I / F 部 1 1 1 またはディスク I / F 部 1 1 2 から、他クラスタ内の共有メモリ部 1 1 4 へアクセスする場合に、チャンネル I / F 部 1 1 1 またはディスク I / F 部 1 1 2 内の S M アクセス回路 ( 図示していない ) は共有バ

25

ス 0 ( 3 1 ) の使用権を取った後、共有バス 0 ( 3 1 ) に繋がる共有バス間接続制御部 1 4 0 へアクセスし、他クラスタ内の共有メモリ部 1 1 4 へのアクセス要求を伝える。その共有バス間接続制御部 1 4 0 は、他クラスタ内の共有バス 0 ( 3 1 ) に繋がる共有バス間接続制御部 1 4 0 へアクセス要求を送出する。他クラスタ内の共有バス 0 ( 3 1 ) に繋がる共有バス間接続制御部 1 4 0 は、共有バス 0 ( 3 1 ) の使用権を獲得後、アクセス要求を共有メモリ部へ送出する。

クラスタ間の接続は、第 1 3 図に示すように、クラスタの共有メモリ部 1 1 4 間をアクセスバス 0 ( 1 3 5 ) で接続してもよい。ディスクアレイ制御装置 1 は、各チャンネル I / F 部 1 1 1、ディスク I / F 部 1 1 2 が共有メモリ部 1 1 4 にアクセスすることによって動作しているため、上記のように共有メモリ部 1 1 4 間を接続することによっても、各チャンネル I / F 部 1 1 1、ディスク I / F 部 1 1 2 が共有メモリ部 1 1 4 にアクセスすることが可能である。

なお、クラスタ等の個数が上記個数に制限されないことはいうまでもない。

また、共有バス 0 ( 3 1 ) を 1 本にしてもよい。しかし、共有バスを 2 本にすることにより、共有メモリ部 1 1 4 へのアクセスバスが冗長化され、耐障害性が良くなる。

第 1 1 図は、第 1 2 図または第 1 3 図のディスクアレイ制御装置 1 を筐体内に実装するときの構成を示している。第 1 2 図または第 1 3 図に示したチャンネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、及び共有メモリ部 1 1 4 は、それぞれ独立した

パッケージである、チャンネル I / F パッケージ ( P K ) 1 1 、  
ディスク I / F パッケージ ( P K ) 1 2 、及び共有メモリパッ  
ッケージ ( P K ) 1 4 に実装する。そして、1つのクラスタ内の  
チャンネル I / F P K 1 1 、ディスク I / F P K 1 2 、及び共  
5 有メモリ P K 1 4 を、1つの I / F P / L 2 上に実装する。ま  
た、I / F P / L 2 上に共有バス 0 ( 3 1 ) を配線し、共有バ  
ス間接続制御部 1 4 0 を直接実装する ( いずれも図示していな  
い ) 。第 1 3 図の構成の場合は、I / F P / L 2 上に共有バス  
0 ( 3 1 ) を配線するが、共有バス間接続制御部 1 4 0 は実装  
10 しない。

I / F P / L 2 の増設時には、増設する I / F P / L 2 と  
既設の I / F P / L 2 との間を、2本のケーブル 4 により接続  
する。このケーブル 4 は、第 1 2 図のディスクアレイ制御装置  
1 の場合には、一方のクラスタ内の共有バス間接続制御部 1 4  
15 0 と、もう一方のクラスタ内の共有バス間接続制御部 1 4 0 と  
を接続するアクセスバス 0 ( 1 3 5 ) に相当するものであり、  
第 1 3 図のディスクアレイ制御装置 1 の場合には、一方のクラ  
スタ内の共有メモリ部 1 1 4 と、もう一方のクラスタ内の共有  
メモリ部 1 1 4 とを接続するアクセスバス 0 ( 1 3 5 ) 用のケ  
20 ーブルである。

かかる構成により、実施例 7 で説明した効果を得られること  
は勿論であるが、さらに、本実施例では、共有メモリ部 1 1 4  
をクラスタ内に実装するので、実施例 7 で説明したディスクア  
レイ制御装置に比べ、スケーラビリティの面では不利であるが、  
25 使用するケーブルの本数を減らすことができ、コスト、実装の

面で有利となる。

以下、本実施例の変形例を示す。

第 3 5 図は、第 1 2 図のディスクアレイ制御装置 1 において、  
実施例 2 の同様に、2 つの共有メモリ部 1 1 4 間をアクセスパ  
5 ス 2 ( 1 3 9 ) で繋ぎ、二重化する変形例を示す。第 3 3 図は、  
第 3 5 図のディスクアレイ制御装置 1 を筐体の実装した場合の  
構成を示す。2 つの共有メモリ部 1 1 4 をそれぞれ独立した共  
有メモリ P K 1 4 上に実装し、その 2 つの共有メモリ P K 1 4  
をそれぞれ異なる I / F P / L 2 上に実装する。そして、その  
10 I / F P / L 2 間を、ケーブル 2 ( 4 - 9 ) で接続する。ケー  
ブル 2 ( 4 - 9 ) は、アクセスパス 2 ( 1 3 9 ) 用のケーブル  
である。第 1 3 図のディスクアレイ制御装置 1 の場合には、第  
3 6 図のように、一方のクラスタ内の共有メモリ部 1 1 4 と、他  
方のクラスタのそれとをアクセスパス 2 ( 1 3 9 ) で接続する  
15 ことにより、共有メモリ部 1 1 4 を二重化可能である。

ここで、一方のクラスタ内のチャネル I / F 部 1 1 1 または  
ディスク I / F 部 1 1 2 からもう一方のクラスタ内の共有メモ  
リ部 1 1 4 へアクセスをするためのアクセスパス 0 ( 1 3 5 )  
と、二重化用のアクセスパス 2 ( 1 3 9 ) とを共用することも  
20 可能である。その場合は、アクセスパスのスループットをアク  
セスパス 0 ( 1 3 5 ) とアクセスパス 2 ( 1 3 9 ) のスループ  
ットの合計以上に設定しないと、ディスクアレイ制御装置 1 全  
体のスループットが低下するという問題が生じる点を考慮する  
必要がある。

25 これらにより、実施例 2 で説明した効果を得ることができる。

また第 3 5 図または第 3 6 図において、クラスタ間の共有メモリ部 1 1 4 を二重化せずに、1 つのクラスタ内の共有メモリ部 1 1 4 を 2 つに増やし、その 2 つの間で二重化してもよい。

第 4 6 図は、1 つのクラスタ内の共有メモリ部 1 1 4 を 2 つ 5 に増やし、それらをそれぞれ独立した共有メモリ P K 1 4 上に実装し、そして、実施例 3 のように、2 組の 2 重化した共有メモリ P K 1 4 を、それぞれ、電源境界 3 0 0 で 2 つの領域に分割された I / F P / L 2 上に実装する変形例を示す。

これにより、実施例 3 で説明した効果を得ることができる。

- 10 第 2 1 図は、第 1 2 図のディスクアレイ制御装置 1 において、実施例 4 のように、磁気ディスク装置 1 2 0 に記録するデータを格納するキャッシュメモリ部 1 1 5 と、キャッシュメモリ部 1 1 5 及びディスクアレイ制御装置 1 に関する制御情報を格納する共有メモリ部 1 1 4 とを物理的に分割する変形例である。
- 15 ここで、共有バス 0 ( 3 1 ) を磁気ディスク装置 1 2 0 のデータを転送する共有バス b 0 ( 3 5 ) と、キャッシュメモリ部 1 1 5 及びディスクアレイ制御装置 1 に関する制御情報を転送する共有バス a 0 ( 3 3 ) に分割し、チャンネル I / F 部 1 1 1 及びディスク I / F 部 1 1 2 を、共有バス a 0 ( 3 3 ) と共有バス b 0 ( 3 5 ) の両方に接続する。また、キャッシュメモリ部 1 1 5 は磁気ディスク装置 1 2 0 のデータを転送する共有バス b 0 ( 3 5 ) に、共有メモリ部 1 1 4 はディスクアレイ制御装置 1 に関する制御情報を転送する共有バス a 0 ( 3 3 ) にそれぞれ接続する。そして、異なるクラスタの共有バス a 0 ( 3 3 ) 25 ) 間、及び共有バス b 0 ( 3 5 ) との間を、共有バス接続制御



部 1 4 0 を介してアクセスパス a ( 1 3 7 ) 、及びアクセスパス b ( 1 3 8 ) でそれぞれ接続する。第 1 3 図のディスクアレイ制御装置 1 の場合には、第 2 2 図のように、異なるクラスタの共有メモリ 1 1 4 間をアクセスパス a ( 1 3 7 ) で、異なる  
5 クラスタのキャッシュメモリ 1 1 5 間をアクセスパス b ( 1 3 8 ) で、接続すればよい。

第 1 9 図は、第 2 1 図または第 2 2 図のディスクアレイ制御装置 1 を筐体の実装した場合の構成を示している。キャッシュメモリ部 1 1 5 、及び共有メモリ部 1 1 4 を、それぞれ独立したパッケージである、キャッシュメモリ P K 1 5 、及び共有メモリ P K 1 4 に実装し、それらを I / F P / L 2 上に実装する。  
10 そして、I / F P / L 2 間を接続する第 1 1 図のケーブル 4 を、第 1 9 図に示すように共有バス a 0 ( 3 3 ) 間を接続するアクセスパス a ( 1 3 7 ) 用のケーブル a ( 4 - 3 ) と、共有バス  
15 b 0 ( 3 5 ) 間を接続するアクセスパス b ( 1 3 8 ) 用のケーブル b ( 4 - 4 ) とに分離する。

これにより、実施例 4 で説明した効果を得ることができる。

第 5 7 図は、第 1 2 図のディスクアレイ制御装置 1 において、実施例 5 のように、2 つの共有メモリ部 1 1 4 間をアクセスパス a 2 ( 1 4 0 ) で繋ぎ、二重化し、また、2 つのキャッシュメモリ部 1 1 5 間をアクセスパス b 2 ( 1 4 1 ) で繋ぎ、二重化した変形例を示す。第 1 3 図のディスクアレイ制御装置 1 の場合には、第 5 8 図のように、二重化用のアクセスパス a 2 ( 1 4 0 ) と、b 2 ( 1 4 1 ) とを設ければよい。ここで、一方  
20 のクラスタ内のチャンネル I / F 部 1 1 1 またはディスク I / F

- 部 1 1 2 からもう一方のクラスタ内の共有メモリ部 1 1 4 へアクセスするためのアクセスパス a 0 ( 1 3 1 ) と、二重化用のアクセスパス a 2 ( 1 4 0 ) とを共用することも可能である。
- また、一方のクラスタ内のチャネル I / F 部 1 1 1 またはディスク I / F 部 1 1 2 からもう一方のクラスタ内のキャッシュメモリ部 1 1 5 へアクセスするためのアクセスパス b 0 ( 1 3 3 ) と、二重化用のアクセスパス b 2 ( 1 4 1 ) とを共用することも可能である。その場合には、共有メモリ用のアクセスパスのスループットをアクセスパス a 0 ( 1 3 1 ) とアクセスパス a 2 ( 1 4 0 ) のスループットの合計以上に、またキャッシュメモリ用のアクセスパスのスループットをアクセスパス b 0 ( 1 3 3 ) とアクセスパス b 2 ( 1 4 1 ) のスループットの合計以上に設定しないと、ディスクアレイ制御装置 1 全体のスループットが低下するという問題が生じる点を考慮する必要がある。
- 第 5 5 図は、第 5 7 図または第 5 8 図のディスクアレイ制御装置 1 を筐体を実装した場合の構成を示す。共有メモリ部 1 1 4 及びキャッシュメモリ部 1 1 5 をそれぞれ独立した共有メモリ P K 1 4 及びキャッシュメモリ P K 1 5 上に実装し、二重化された共有メモリ P K 1 4 及びキャッシュメモリ P K 1 5 をそれぞれ異なる I / F P / L 2 上に実装し、I / F P / L 2 間を、ケーブル a 2 ( 4 - 1 0 ) 及びケーブル b 2 ( 4 - 1 1 ) で接続する。ここで、ケーブル a 2 ( 4 - 1 0 ) はアクセスパス a 2 ( 1 4 0 ) 用のケーブル、ケーブル b 2 ( 4 - 1 1 ) はアクセスパス b 2 ( 1 4 1 ) 用のケーブルである。
- これにより、実施例 5 で説明した効果を得ることができる。

なお、第 5 7 図または第 5 8 図において、クラスタ間の 2 つの共有メモリ部 1 1 4、及びクラスタ間の 2 つのキャッシュメモリ部 1 1 5 を二重化せずに、1 つのクラスタ内の共有メモリ部 1 1 4 及びキャッシュメモリ部 1 1 5 をそれぞれ 2 つに増やし、その 2 つの間を二重化してもよい。

第 6 8 図は、実施例 6 のように、2 組の 2 重化した共有メモリ P K 1 4 及び 2 組の 2 重化したキャッシュメモリ P K 1 5 を、電源境界 3 0 0 で 2 つの領域に分割された I / F P / L 2 に実装する変形例を示す。

10 これにより、実施例 6 で説明した効果を得ることができる。

[ 実施例 1 5 ]

第 1 4 図に、本発明の他の一実施例を示す。

第 1 4 図は、実施例 1 1 で説明した第 7 図のディスクアレイ制御装置 1 を筐体内に実装するときの一構成を示している。1 つのセレクト P K 1 3 と、それに繋がるチャンネル I / F P K 1 1 及びディスク I / F P K 1 2、すなわち、セレクトグループ 1 5 0 と、1 つの共有メモリ P K 1 4 とをまとめて、1 つの I / F プラッタ ( P / L ) 2 上に実装する。このグループは、上記で定義したクラスタである。

20 I / F P / L 2 の増設時には、増設する I / F P / L 2 と既設の I / F P / L 2 との間を、2 本のケーブル 1 ( 4 - 2 ) で接続する。このケーブル 1 ( 4 - 2 ) は、一方のクラスタ内のセレクト部 1 1 3 と、もう一方のクラスタ内の共有メモリ部 1 1 4 とを接続するアクセスバス 1 ( 1 3 6 ) 用のケーブルである。

25

すなわち、本実施例は、共有メモリ P K 1 4 を I / F P / L 2 上に実装した点で、実施例 1 1 で説明した第 6 図の実装構成と異なる。

ここでは、セクタ部 1 1 3 をセクタ P K 1 3 上に実装する  
5 としたが、セクタ部 1 1 3 をパッケージ上に実装せず、第 1 5 図に示すように、I / F P / L 2 のパッケージを実装する面と反対の面（図では裏面）に実装してもよい。これにより、セクタ P K 1 3 の幅だけ I / F P / L 2 の幅を狭めることが可能となり、ディスクアレイ制御装置 1 の筐体を小さくするこ  
10 とが可能となる。

また本実施例では、2つのクラスタそれぞれに共有メモリ P K 1 4 を実装したが、1つのクラスタ内にディスクアレイ制御装置 1 内全ての共有メモリ P K 1 4 を実装し、その他のクラスタ内には共有メモリ P K 1 4 を実装しないとしても問題はない。  
15 こうすることにより、第 1 4 図のクラスタ間を接続するケーブル 1 ( 4 - 2 ) が 1 本に減り、その分コストを下げる事が可能になる。

かかる構成により、実施例 1 1 で説明した効果を得られることは勿論であるが、さらに、本実施例では、共有メモリ部 1 1  
20 4 をクラスタ内に実装するので、実施例 1 1 で説明したディスクアレイ制御装置に比べ、スケーラビリティの面では不利であるが、使用するケーブルの本数を減らすことができ、コスト、実装の面で有利となる。

以下、本実施例の変形例を示す。これらの変形例は、実施例  
25 1 1 で説明した変形例と、共有メモリ P K 1 4 を I / F P / L

2 上に実装した点で異なるだけなので、以下、本実施例の変形例を簡単に説明する。

5       なお、以下の変形例においても、セクタ部 1 1 3 をパッケージ上に実装せず、I / F P / L 2 のパッケージを実装する面と反対の面（図では裏面）に実装してもよい。

      第 3 9 図は、実施例 1 1 で説明した第 3 7 図のディスクアレイ制御装置 1 を筐体の実装する場合の一構成を示す。本変形例では、実施例 2 と同様に、共有メモリ部を二重化する。

      これにより、実施例 2 で説明した効果を得ることができる。

10       本実施例では、共有メモリ部 1 1 4 間をアクセスパス 2 （1 3 9）で接続して二重化するとしたが、チャンネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、あるいはセクタ部 1 1 3 から二重化された 2 つの共有メモリ部 1 1 4 へ二重にデータを書き込む処理をすることによっても二重化が可能であり、共有メモリ部 1 1 4 間をアクセスパス 2 （1 3 9）で接続しなくてもよい。しかし、アクセスパス 2 （1 3 9）で接続してあれば、2 つの共有メモリ部 1 1 4 間で直接データの確認等が可能となるため、信頼性が向上する。

20       第 4 8 図は、1 つのクラスタ内の共有メモリ部 1 1 4 を 2 つに増やし、それらをそれぞれ独立した共有メモリ P K 1 4 上に実装し、そして、実施例 3 のように、2 組の 2 重化した共有メモリ P K 1 4 を、それぞれ、電源境界 3 0 0 で 2 つの領域に分割された I / F P / L 2 上に実装する変形例を示す。

      これにより、実施例 3 で説明した効果を得ることができる。

25       ここでは、2 つのクラスタそれぞれに共有メモリ P K 1 4 を

実装したが、1つのクラスタ内にディスクアレイ制御装置1内の全ての共有メモリPK14を実装し、その他のクラスタ内には共有メモリPK14を実装しないとしても問題ない。こうすることにより、第48図のクラスタ間を接続するケーブル1（54-2）が1本に減り、その分コスト面、実装面で有利である。

第23図は、実施例4のように、第7図のディスクアレイ制御装置1内の共有メモリ部114を、磁気ディスク装置120に記録するデータを格納するキャッシュメモリ部115と、キャッシュメモリ部115及びディスクアレイ制御装置1に関する制御情報を格納する共有メモリ部114とに物理的に分割した変形例を示す。キャッシュメモリ部115に繋がるセレクト（CMセレクト部123）と、共有メモリ部114に繋がるセレクト（SMセレクト部113）とを物理的に独立させ、共有メモリ部114へのアクセスパスa0（131）及びアクセスパスa1（132）と、キャッシュメモリ部115へのアクセスパスb0（133）及びアクセスパスb1（134）とを独立させる。

これにより、実施例4で説明した効果を得ることができる。

ここでは、2つのクラスタそれぞれに共有メモリPK14及びキャッシュメモリPK15を実装したが、1つのクラスタ内にディスクアレイ制御装置1内全ての共有メモリPK14及び全てのキャッシュメモリPK15を実装し、その他のクラスタ内には共有メモリPK14及びキャッシュメモリPK15を実装しないとしても問題ない。こうすることにより、第25図のクラスタ間を接続するケーブルa1（4-7）及びケーブルb

1 (4-8) がそれぞれ 1 本に減り、その分コストを下げる  
ことが可能になる。

第 59 図は、実施例 5 のように、2 つの共有メモリ部 114  
間をアクセスパス a2 (140) で繋ぎ、また、2 つのキャッ  
5 シュメモリ部 115 間をアクセスパス b2 (141) で繋ぎ、  
それぞれを二重化した変形例を示す。

第 61 図は、第 59 図のディスクアレイ制御装置 1 を筐体に  
実装した場合の構成を示す。1 つの共有メモリ PK14 及び 1  
つのキャッシュメモリ PK15 1 つの I/F P/L2 上に実装  
10 し、I/F P/L2 間を、ケーブル a2 (4-10) 及びケー  
ブル b2 (4-11) で接続する。ケーブル a2 (4-10)  
及びケーブル b2 (4-11) は、それぞれアクセスパス a2  
(140) 用、アクセスパス b2 (141) 用のケーブルであ  
る。

15 これにより、実施例 5 で説明した効果を得ることができる。

本変形例では、共有メモリ部 114 間をアクセスパス a2 (140) で、またキャッシュメモリ部 115 間をアクセスパス b2 (141) で接続して二重化するとしたが、チャンネル I/F 部 111、ディスク I/F 部 112、または、SMセクタ部 113 若しくは CMセクタ部 123 から、2 つの共有メモリ部 114、または、2 つのキャッシュメモリ部 115 へ二重にデータを書き込む処理をすることによっても二重化が可能である。この場合には、共有メモリ部 114 間、またはキャッシュメモリ部 115 間をアクセスパス a2 (140)、またはア  
25 クセスパス b2 (141) で接続しなくてもよい。しかし、ア

セスパス a 2 ( 1 4 0 ) 、またはアクセスパ b 2 ( 1 4 1 ) で接続してあれば、2つの共有メモリ部 1 1 4 間、または2つのキャッシュメモリ部 1 1 5 間で直接データの確認等が可能となるため、信頼性が向上する。

5      第 7 0 図は、実施例 6 のように、第 5 9 図において 2 重化した共有メモリ部 1 1 4 及びキャッシュメモリ部 1 1 5 をそれぞれ 2 組に増やした変形例を示す。1つの共有メモリ P K 1 4 及び1つのキャッシュメモリ P K 1 5 の組を、電源境界 3 0 0 で2つの領域に分割された I / F P / L 2 上に実装する。

10      これにより、実施例 6 で説明した効果を得ることができる。

        なお、1つのクラスタ内にディスクアレイ制御装置 1 内全ての共有メモリ P K 1 4 及び全てのキャッシュメモリ P K 1 5 を実装し、その他のクラスタ内には共有メモリ P K 1 4 及びキャッシュメモリ P K 1 5 を実装しないとしても問題ない。こうすることにより、第 7 0 図のクラスタ間を接続するケーブル a 1  
15      ( 4 - 7 ) 及びケーブル b 1 ( 4 - 8 ) がそれぞれ 1 本に減り、その分コストを下げる事が可能になる。

#### [ 実施例 1 6 ]

        第 1 6 図に、本発明の他の一実施例を示す。

20      第 1 6 図は、実施例 1 2 で説明した第 1 0 図のディスクアレイ制御装置 1 を筐体内に実装するときの一構成を示している。本実施例は、第 1 0 図の共有メモリ部 1 1 4 をクラスタに実装した点で、実施例 1 2 で説明した第 9 図の実装構成と異なる。

        かかる実装構成により、第 9 図の実装構成に比して、セレクト部 1 1 3 と共有メモリ部 1 1 4 とを接続するアクセスパス 0  
25



( 1 3 5 ) の数を減らすことができるので、ディスクアレイ制御装置を筐体を実装する場合にケーブル数を減らすことができ、コスト面で有利となる。

ここでは、セクタ部 1 1 3 をセクタ P K 1 3 上に実装するとしたが、セクタ部 1 1 3 をパッケージ上に実装せず、 I / F P / L 2 のパッケージを実装する面と反対の面（図では裏面）に実装してもよい。これにより、セクタ P K 1 3 の幅だけ I / F P / L 2 の幅を狭めることが可能となり、ディスクアレイ制御装置 1 の筐体を小さくすることが可能となる。

10 また本実施例では、2つのクラスタそれぞれに共有メモリ P K 1 4 を実装したが、1つのクラスタ内にディスクアレイ制御装置 1 内全ての共有メモリ P K 1 4 を実装し、その他のクラスタ内には共有メモリ P K 1 4 を実装しないとしても問題ない。こうすることにより、第 1 6 図のクラスタ間を接続するケーブル 1 ( 4 - 2 ) が 1 本に減り、その分コストを下げる事が可能になる。

以下、本実施例の変形例をしめす。以下の変形例は、実施例 1 2 に記載した変形例と、共有メモリ部 1 1 4 をクラスタに実装した点で異なるだけなので、これらの変形例を簡単に説明する。

20 なお、これら変形例の場合にも、セクタ部 1 1 3 を I / F P / L 2 のパッケージを実装する面と反対の面（図では裏面）に実装することにより、I / F P / L 2 の幅を狭めることができ、ディスクアレイ制御装置 1 の筐体を小さくすることが可能となる。

25

第 4 4 図は、第 4 2 図のディスクアレイ制御装置 1 において、2 つの共有メモリ部 1 1 4 をそれぞれ独立した共有メモリ P K 1 4 上に実装し、それらを異なる I / F P / L 2 上に実装した変形例である。

- 5      なお、チャネル I / F 部 1 1 1、ディスク I / F 部 1 1 2、あるいはセクタ部 1 1 3 から二重化された 2 つの共有メモリ部 1 1 4 へ二重にデータを書き込む処理をすることによっても二重化が可能である。この場合には、共有メモリ部 1 1 4 間をアクセスパス 2 ( 1 3 9 ) で接続しなくてもよい。しかし、ア  
10    クセスパス 2 ( 1 3 9 ) で接続してあれば、2 つの共有メモリ部 1 1 4 間で直接データの確認等が可能となるため、信頼性が向上する。

- 第 5 2 図は、第 4 2 図において 2 重化した共有メモリ部 1 1 4 を 2 組に増やし、実施例 3 のように、2 組の 2 重化した共有  
15    メモリ P K 1 4 を、それぞれ、電源境界 3 0 0 で 2 つの領域に分割された I / F P / L 2 上の異なる領域に実装する変形例を示す。

- ここでは、2 つのクラスタそれぞれに共有メモリ P K 1 4 を実装したが、1 つのクラスタ内にディスクアレイ制御装置 1 内  
20    全ての共有メモリ P K 1 4 を実装し、その他のクラスタ内には共有メモリ P K 1 4 を実装しないとしても問題ない。

- 第 3 0 図は、実施例 4 のように、共有メモリ部 1 1 4 を、磁気ディスク装置 1 2 0 に記録するデータを格納するキャッシュ  
メモリ部 1 1 5 と、キャッシュメモリ部 1 1 5 及びディスクア  
25    レイ制御装置 1 に関する制御情報を格納する共有メモリ部 1 1

4 とに物理的に分割した変形例を示す。

これにより、チャネル I / F P K 1 1、及びディスク I / F P K 1 2 から、キャッシュメモリ P K 1 5、または共有メモリ P K 1 4 へのアクセスパスを物理的に独立させることができ、

5 キャッシュメモリ部 1 1 5 へのアクセスに関する障害（キャッシュメモリ部 1 1 5 と、それにアクセスするためのセレクト部（C Mセレクト部） 1 2 3、アクセスパス b 0（1 3 3）、及びアクセスパス b 1（1 3 4）等の障害）と、共有メモリ部 1 1 4 へのアクセスに関する障害（共有メモリ部 1 1 4 と、

10 それにアクセスするためのセレクト部（S Mセレクト部） 1 1 3、アクセスパス a 0（1 3 1）、アクセスパス a 1（1 3 2）等の障害）とを区別することが可能となり、お互いに影響を与えることなしに、独立に保守することが可能となる。

ここでは、2つのクラスタそれぞれに共有メモリ P K 1 4 及び

15 びキャッシュメモリ P K 1 5 を実装したが、1つのクラスタ内にディスクアレイ制御装置 1 内全ての共有メモリ P K 1 4 及びキャッシュメモリ P K 1 5 を実装し、その他のクラスタ内には共有メモリ P K 1 4 及びキャッシュメモリ P K 1 5 を実装しないとしても問題ない。

20 第 6 6 図は、実施例 5 のように、2つの共有メモリ部 1 1 4 間をアクセスパス a 2（1 4 0）で繋ぎ、また、2つのキャッシュメモリ部 1 1 5 間をアクセスパス b 2（1 4 1）で繋ぎ、それぞれを二重化した変形例を示す。

これにより、実施例 5 で説明した効果を得ることができる。

25 本実施例では、共有メモリ部 1 1 4 間をアクセスパス a 2（

1 4 0) で、またキャッシュメモリ部 1 1 5 間をアクセスパス  
b 2 ( 1 4 1 ) で接続して二重化するとしたが、チャンネル I /  
F 部 1 1 1 、ディスク I / F 部 1 1 2 、または S M セレクタ部  
1 1 3 若しくは C M セレクタ部 1 2 3 から、二重化された 2 つ  
5 の共有メモリ部 1 1 4 、または 2 つのキャッシュメモリ部 1 1  
5 へ二重にデータを書き込む処理をすることによっても二重化  
が可能である。この場合には、共有メモリ部 1 1 4 間、または  
キャッシュメモリ部 1 1 5 間をアクセスパス a 2 ( 1 4 0 ) 、  
またはアクセスパス b 2 ( 1 4 1 ) で接続しなくてもよい。しか  
10 し、アクセスパス a 2 ( 1 4 0 ) 、またはアクセスパス b 2 ( 1  
4 1 ) で接続してあれば、2 つの共有メモリ部 1 1 4 間、また  
は 2 つのキャッシュメモリ部 1 1 5 間で直接データの確認等が  
可能となるため、信頼性が向上する。

第 7 4 図は、実施例 6 のように、2 重化した共有メモリ部 1  
15 1 4 及びキャッシュメモリ部 1 1 5 をそれぞれ 2 組に増やし、  
1 つの共有メモリ P K 1 4 と、1 つのキャッシュメモリ P K 1  
5 とからなる組を、電源境界 3 0 0 で 2 つの領域に分割された  
I / F P / L 2 上の各領域に、それぞれ 1 組ずつ実装する。

これにより、実施例 6 で説明した効果を得ることができる。

20 ここでは、2 つのクラスタのそれぞれに共有メモリ P K 1 4  
及びキャッシュメモリ P K 1 5 を実装したが、1 つのクラスタ  
内にディスクアレイ制御装置 1 内全ての共有メモリ P K 1 4 及  
びキャッシュメモリ P K 1 5 を実装し、その他のクラスタ内  
には共有メモリ P K 1 4 及びキャッシュメモリ P K 1 5 を実装し  
25 ないとしても問題ない。

## [ 実施例 1 7 ]

第 7 5 図 及び 第 7 7 図 に、 実施例 1 2 で 説明 した 第 6 4 図 の  
ディスクアレイ制御装置 1 を、 筐体 に 実装 する 場合 の 他 の 実施  
例 を 示 す。

- 5      第 7 5 図 は、 プラッタ 上 へ の パッケージ の 実装、 各 プラッタ  
の 配置、 及び プラッタ 間 の 接続 を 示 して いる。 I / F P / L 2  
には、 セクタグループ 1 5 0 を 形成 する チャネル I / F パッ  
ッケージ ( P K ) 1 1 及び ディスク I / F パッケージ ( P K ) 1  
2 を 2 枚 ずつ 実装 する。 共有メモリに繋がるセクタ部 ( S M  
10 セクタ部 ) 1 1 3 及び キャッシュメモリに繋がるセクタ部  
( C M セクタ部 ) 1 2 3 は、 I / F P / L 2 の 裏面 に 実装 する。  
これにより、 I / F P / L 2 の 幅 を 狭める ことが 可能 とな  
る。 そして、 2 つ の I / F P / L 2 で 交代系 1 5 5 を 形成 する。

- ディスクアレイ制御装置 1 は、 8 つ の I / F P / L 2 を 有 し、  
15 4 つ の 交代系 1 5 5 を 形成 する。 メモリプラッタ ( P / L ) 3  
へは、 共有メモリパッケージ ( P K ) 1 4 を 1 枚 と キャッシュ  
メモリパッケージ ( P K ) 1 5 を 2 枚 実装 する。 メモリを二重  
化 する ため、 メモリ P / L 3 を 2 つ 有 して いる。

- 交代系を形成する 2 つ の I / F P / L 2 間 は、 互い の チャネ  
20 ル I / F P K 1 1 及び ディスク I / F P K 1 2 と、 互い の S  
M セクタ部 1 1 3 及び C M セクタ部 1 2 3 と の 間 を、 それ  
ぞれ、 ケーブル a 0 ( 4 - 5 ) と ケーブル b 0 ( 4 - 6 ) で 接  
続 する。

- ここで、 ケーブル a 0 ( 4 - 5 ) と ケーブル b 0 ( 4 - 6 )  
25 を それ ぞれ 2 本 ずつ に し、 一方 の セクタグループ 1 5 0 内 の

I / F 部ともう一方のセクタグループ 1 5 0 内のセクタ部  
間のアクセスパス用のケーブルと、一方のセクタグループ 1  
5 0 内のセクタ部ともう一方のセクタグループ 1 5 0 内の  
I / F 部間のアクセスパス用のケーブルとを分離することによ  
5 り、一方のアクセスパスに障害が発生し、ケーブル a 0 ( 4 -  
5 ) またはケーブル b 0 ( 4 - 6 ) を交換する場合でも、もう  
一方のアクセスパスに影響を与えずに済む。

各 I / F P / L 2 には、2 つのメモリ P / L 3 からのケーブ  
ル a 1 ( 4 - 7 ) とケーブル b 1 ( 4 - 8 ) とをそれぞれ 1 本  
10 ずつ、計 4 本を接続する。したがって、メモリ P / L 3 には、  
8 つの I / F P / L 2 からのケーブル a 1 ( 4 - 7 ) とケーブ  
ル b 1 ( 4 - 8 ) とをそれぞれ 1 本ずつ、計 1 6 本を接続する  
ことになる。また、メモリ P / L 3 間をケーブル a 2 ( 4 - 1  
0 ) 及びケーブル b 2 ( 4 - 1 1 ) を接続する。

15 プラッタ間を接続するケーブル用のコネクタは各プラッタの  
裏面に設け、プラッタの裏面で、プラッタ間をケーブル接続す  
る。これにより、チャネル I / F P K 1 1 のサブエッジ側 ( パ  
ッケージのプラッタに接続されている側と反対の側 ) に接続さ  
れるホストコンピュータ 1 0 1 接続用のケーブル ( 図示してい  
20 ない ) 、またはディスク I / F P K 1 2 のサブエッジ側に接続  
される磁気ディスク装置 1 2 0 接続用のケーブル ( 図示してい  
ない ) を避けて、プラッタ間接続用ケーブルを接続する必要が  
なくなり、ケーブル長を短くすることが可能となる。

上述したように、ケーブルのコストは高い。また、ケーブル  
25 を用いて、高周波数でデータ転送を行う場合には、ノイズの間

題があり、実装には困難がつきまとう。したがって、ケーブル長を短くできるということは大きな利点となる。

I / F P / L 2 とメモリ P / L 3 の実装方向をほぼ直交させる。これにより、第 7 5 図に示すように I / F P / L 2 とメモリ P / L 3 の両者を接続するためのケーブル用コネクタの位置を、ケーブル長が短くなるように配置することが可能となる。

なお、第 7 5 図では、I / F P / L 2 が水平面と垂直になるように実装され、メモリ P / L 3 が水平面と水平になるように実装されているが、これらの実装方向を逆にしてもよい。

10 また、第 7 5 図のように、メモリ P / L 3 を挟む形で、I / F P / L 2 を配置してもよい。これにより、両プラッタ間を接続するケーブル長を短くすることが可能となる。

第 7 7 図は、第 7 5 図に示したプラッタをケーブルで接続したものを、筐体 1 8 0 に収めた状態を示している。パッケージ  
15 を実装したプラッタは筐体の全面側に収め、その裏側に電源 0 ( 1 7 0 ) 、電源 1 ( 1 7 1 ) を収める。

電源 0 ( 1 7 0 ) 、電源 1 ( 1 7 1 ) は、各プラッタ毎に独立させる。これにより、プラッタ交換時の電源の制御が容易になる。

20 第 7 7 図に示すようにプラッタ毎に独立した電源を、電源 0 ( 1 7 0 ) と電源 1 ( 1 7 1 ) の 2 つで二重化してもよい。これにより、二重化した電源の一方の障害時には、もう一方の電源で電力を供給できるため、障害の発生した電源が電力を供給するプラッタ上のパッケージを閉塞する必要がなくなり、システムの中の停止させる箇所を削減することが可能となる。  
25

## [ 実施例 18 ]

第 76 図 及び 第 78 図 に、 実施例 12 で説明した第 28 図の  
ディスクアレイ制御装置 1 の筐体 に実装する際の 実施例を示す。

第 76 図 は、 プラッタ上へのパッケージの実装、 各プラッタ  
5 の配置、 及びプラッタ間の接続を示している。 I / F P / L 2  
へは、 セレクタグループ 150 を形成するチャンネル I / F パッ  
ッケージ ( P K ) 11 及びディスク I / F パッケージ ( P K ) 1  
2 を 2 枚ずつと、 共有メモリパッケージ ( P K ) 14 及びキャ  
ッシュメモリパッケージ ( P K ) 15 を 1 枚ずつ実装する。 共  
10 有メモリに繋がるセレクタ部 ( S M セレクタ部 ) 113 及びキ  
ャッシュメモリに繋がるセレクタ部 ( C M セレクタ部 ) 123  
は、 I / F P / L 2 の裏面に実装する。 これにより、 I / F  
P / L 2 の幅を狭めることが可能となる。 そして、 2 つの I /  
F P / L 2 で交代系 155 を形成する。 ディスクアレイ制御装  
15 置 1 は、 2 つの I / F P / L 2 を有し、 1 つの交代系 155 を  
形成する。

交代系 155 を形成する 2 つの I / F P / L 2 間は、 互いの  
チャンネル I / F P K 11 及びディスク I / F P K 12 との間  
を、 互いの S M セレクタ部 113 及び C M セレクタ部 123 と  
20 の間を、 それぞれ、 ケーブル a 0 ( 4 - 5 ) 、 ケーブル b 0 ( 4 - 6 ) で接続する。

ここで、 ケーブル a 0 ( 4 - 5 ) とケーブル b 0 ( 4 - 6 )  
とをそれぞれ 2 本にし、 一方のセレクタグループ 150 内の I  
/ F 部ともう一方のセレクタグループ 150 内のセレクタ部間  
25 のアクセスパス用のケーブルと、 一方のセレクタグループ 15



0 内のセクタ部ともう一方のセクタグループ 1 5 0 内の I / F 部間のアクセスパス用のケーブルとを分離することにより、一方のアクセスパスに障害が発生し、ケーブル a 0 ( 4 - 5 ) とケーブル b 0 ( 4 - 6 ) を交換する場合でも、もう一方のアクセスパスに影響を与えずに済む。

互いの S M セクタ部 1 1 3 及び C M セクタ部 1 2 3 との間を、共有メモリ部 1 1 4 及びキャッシュメモリ部 1 1 5 との間を、それぞれ、2 本のケーブル a 1 ( 4 - 7 ) と 2 本のケーブル b 1 ( 4 - 6 ) で接続する。また、二重化した共有メモリ部 1 1 3 間及び二重化したキャッシュメモリ部 1 1 5 間を接続するために、ケーブル a 2 ( 4 - 1 0 ) とケーブル b 2 ( 4 - 1 1 ) で接続する。したがって、I / F P / L 2 間は 8 本のケーブルで接続することになる。ここで、上記のケーブルの本数に特に限定されない。

15     プラッタ間を接続するケーブル用のコネクタは各プラッタの裏面に設け、プラッタの裏面においてプラッタ間をケーブル接続する。これにより、チャンネル I / F P K 1 1 のサブエッジ側 ( パッケージのプラッタに接続されている側と反対の側 ) に接続されるホストコンピュータ 1 0 1 接続用のケーブル ( 図示していない ) 、またはディスク I / F P K 1 2 のサブエッジ側に  
20     接続される磁気ディスク装置 1 2 0 接続用のケーブル ( 図示していない ) を避けて、プラッタ間接続用ケーブルを接続する必要がなくなり、ケーブル長を短くすることが可能となる。

各 I / F P / L 2 は、第 7 6 図に示すように上下方向に配置  
25     してもよい。これにより、両プラッタ間を接続するケーブル長

を短くすることが可能となる。

第 7 8 図は、第 7 6 図に示したプラッタをケーブルで接続したものを、実際に筐体 1 8 0 に収めた状態を示している。パッケージを実装したプラッタは筐体の全面側に収め、その裏側に

5 電源 0 ( 1 7 0 ) 、電源 1 ( 1 7 1 ) を収める。

電源 0 ( 1 7 0 ) 、電源 1 ( 1 7 1 ) は、各プラッタ毎に独立させる。これにより、プラッタ交換時の電源の制御が容易になる。

また、第 7 8 図に示すようにプラッタ毎に独立した電源を、

10 電源 0 ( 1 7 0 ) と電源 1 ( 1 7 1 ) との 2 つで二重化する。

これにより、二重化した電源の一方の障害時には、もう一方の電源で電力を供給できるため、障害の発生した電源が電力を供給するプラッタ上のパッケージを閉塞する必要がなくなり、システムの中の停止させる箇所を削減することが可能となる。

15 [ 実施例 1 9 ]

第 7 9 図及び第 8 0 図に、実施例 1 2 で説明した第 2 8 図のディスクアレイ制御装置 1 を、1 9 インチラック ( 1 8 5 ) と呼ばれる筐体を実装する際の実施例を示す。

第 7 9 図は、1 9 インチラック 1 8 5 への実装例を示している。

20 る。各チャンネル I / F パッケージ ( P K ) 1 1 とディスク I / F パッケージ ( P K ) 1 2 、及び共有メモリ ( S M ) セレクタパッケージ ( P K ) 1 3 とキャッシュメモリ ( C M ) セレクタパッケージ ( P K ) 2 3 は、M P B O X 2 5 0 の中に実装する。また、共有メモリパッケージ ( P K ) 1 4 及びキャッシュ

25 メモリパッケージ ( P K ) 1 5 は M E M B O X 2 5 1 の中に

実装する。また、電源はまとめて P S B O X 2 5 2 の中に実装する。ディスクアレイ制御装置 1 は、4 つの M P B O X 2 5 0、1 つの M E M B O X 2 5 1、及び 1 つの P S B O X 2 5 2 から構成する。

- 5 第 8 1 図は、チャンネル I / F P K 1 1 とディスク I / F P K 1 2、及び S M セレクタ P K 1 3 と C M セレクタ P K 2 3 の、M P B O X 2 5 0 への実装例を示している。I / F プラッタ ( P / L ) 2 上に、セレクタグループ 1 5 0 を形成するチャンネル I / F P K 1 1 及びディスク I / F P K 1 2 を 2 枚ずつと、  
10 S M セレクタ P K 1 3 及び C M セレクタ P K 2 3 を 1 枚ずつ実装する。

- I / F P / L 2 には、S M セレクタ P K 1 3 と共有メモリ P K 1 4 間を接続するケーブル a 1 ( 4 - 7 )、及び C M セレクタ P K 2 3 とキャッシュメモリ P K 1 5 間を接続するケーブル  
15 b 1 ( 4 - 8 ) を、それぞれ 2 本ずつ接続する。

- そして、2 つの I / F P / L 2 を M P B O X 2 5 0 の中に搭載し、これら 2 つの I / F P / L 2 で交代系 1 5 5 を形成する。交代系を形成するために、ケーブル a 0 ( 4 - 5 ) 及びケーブル b 0 ( 4 - 6 ) ( 第 8 0 図 ) で 2 つの I / F P / L 2 間  
20 を接続する。

- ここで、ケーブル a 0 ( 4 - 5 ) とケーブル b 0 ( 4 - 6 ) をそれぞれ 2 本にし、一方のセレクタグループ 1 5 0 内の I / F 部ともう一方のセレクタグループ 1 5 0 内のセレクタ部間のアクセスパス用のケーブルと、一方のセレクタグループ 1 5 0  
25 内のセレクタ部ともう一方のセレクタグループ 1 5 0 内の I /

F 部間のアクセスパス用のケーブルとを分離することにより、一方のアクセスパスに障害が発生し、ケーブル a 0 (4-5) とケーブル b 0 (4-6) とを交換する場合でも、もう一方のアクセスパスに影響を与えずに済む。

- 5      チャンネル I / F P K 1 1 のサブエッジ側 (パッケージのプラッタに接続されている側と反対の側) にホストコンピュータ 1 0 1 接続用のホスト用ケーブル 3 0 2 を、またディスク I / F P K 1 2 のサブエッジ側に磁気ディスク装置 1 2 0 接続用のドライブ用ケーブル 3 0 1 を 4 本ずつ接続する。

- 10     第 8 2 図は、共有メモリ P K 1 4 及びキャッシュメモリ P K 1 5 の、MEM BOX 2 5 1 への実装例を示している。メモリプラッタ (P / L) 3 上に、共有メモリ P K 1 4 を 1 枚とキャッシュメモリ P K 1 5 を 2 枚実装する。

- メモリ P / L 3 には、S M セレクタ P K 1 3 と共有メモリ P  
15 K 1 4 間、及び C M セレクタ P K 2 3 とキャッシュメモリ P K 1 5 間を接続するケーブル a 1 (4-7)、及びケーブル b 1 (4-8) をそれぞれ 8 本ずつ接続する。

- メモリを二重化するため、メモリ P / L 3 を 2 つ MEM BOX 2 5 1 の中に搭載し、ケーブル a 2 (4-10) 及びケーブル b 2 (4-11) (第 8 0 図) で 2 つのメモリ P / L 3 間  
20 を接続する。

- 第 8 3 図は、電源の P S BOX 2 5 1 への実装例を示している。1 つの M P BOX には、6 個の電源モジュール 1 7 2 から構成した M P BOX 用電源グループ 1 7 5 によって電力  
25 を供給する。6 個の電源モジュール 1 7 2 は 3 個 1 組とし、2

組で二重化する。1つのMEM BOXには、4個の電源モジュール172から構成したMEM BOX用電源グループ176によって電力を供給する。4個の電源モジュール172は2個1組とし、2組で二重化する。また、停電時の共有メモリ部  
5 114及びキャッシュメモリ部115のバックアップ用に、メモリバックアップ用バッテリー177を2つ有する。

ディスクアレイ制御装置1は、4個のMP BOX 250と、1個のMEM BOX 251で構成するため、PS BOX 252には4つのMP BOX用電源グループ175と1つのMEM BOX用電源グループ176を搭載する。  
10

第80図は、各プラッタ間のケーブル接続を示している。交代系155を形成する2つのI/F P/L 2間は、互いのチャンネルI/F PK 11及びディスクI/F PK 12と互いのSMMセクタ部113及びCMセクタ123間を繋ぐために、  
15 ケーブルa0(4-5)及びケーブルb0(4-6)で接続する。

各I/F P/L 2へは、2つのメモリP/L 3からケーブルa1(4-7)及びケーブルb1(4-8)をそれぞれ1本ずつ、計4本を接続する。したがって、メモリP/L 3へは、8  
20 つのI/F P/L 2からケーブルa1(4-7)及びケーブルb1(4-8)をそれぞれ1本ずつ、計16本を接続することになる。

2つのメモリP/L 3間は、各々の共有メモリ部114及びキャッシュメモリ部115を二重化するために、ケーブルa2  
25 (4-10)及びケーブルb2(4-11)で接続する。

また、メモリ P / L 3 を挟む形で、I / F P / L 2 を配置する。これにより、両プラッタ間を接続するケーブル長を短くすることが可能となる。

上記のように、各 I / F P / K、メモリ P / K、または電源  
5 をそれぞれの B O X に実装し、それらを筐体の実装することで、ディスクアレイ制御装置 1 の保守が各 B O X ごとに行えるようになり、装置の保守が容易になる。

また、19 インチラックという市販のラックに実装できるようにすることで、19 インチラックに搭載してシステムを構築  
10 可能なワークステーション、サーバ等といっしょに、同一ラック内でストレージを含めたシステムを構築することが可能となる。

以上、発明を実施するための最良の形態を実施例を用いて説明したが、上記の実施例以外にも種々の実施形態が考えられる。  
15 例えば、チャネル I / F 部とディスク I / F 部とを共有バスで接続しないタイプの実施例では、実施例 1 で説明したように、チャネルインターフェースパッケージと、ディスクインターフェースパッケージとを異なるプラッタ上に実装してもよい。また、共有メモリ部とキャッシュメモリ部とを有する実施例では、  
20 共有メモリパッケージとキャッシュメモリパッケージとを、異なるプラッタ上に実装してもよい。さらに、上記では、磁気ディスク装置で構成されるディスクアレイ装置について説明してきたが、磁気ディスク装置を D V D - R A M、光磁気ディスク、磁気テープ等他の記憶装置に置き換えてもよい。

25 本発明によれば、プラッタの障害時にそのプラッタに実装さ

れているパッケージが分担している部分のみを停止して障害部品を交換することが可能となるので、システム全体を停止する必要がなくなる。したがって、障害保守時にシステム全体を停止させることがなく、24時間、365日無停止運転が可能となる。

また、各インターフェース部のパッケージを実装したプラットフォームの増減に伴って、内部バス性能をスケーラブルに変更することができる。したがって、小規模なシステムから大規模なシステムまで、コストパフォーマンスを損なうことなく、性能、容量をスケーラブルに変更することが可能となる。また、システムの規模に見合った価格で製品を提供することも可能となる。

## 請 求 の 範 囲

1. ホストコンピュータと接続されるチャネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部とが実装されたインターフェースプラッタと、
- 5 上記ディスク装置の制御情報を格納するメモリ部が実装されたメモリプラッタと、  
上記インターフェースプラッタと上記メモリプラッタとを接続するケーブル、  
とを有することを特徴とするディスクアレイ制御装置。
- 10 2. 上記メモリプラッタを複数有し、上記インターフェースプラッタと上記複数のメモリプラッタの各メモリプラッタとの間を接続するケーブルを有することを特徴とする請求項1記載のディスクアレイ制御装置。
3. 上記複数のメモリプラッタの間を接続するケーブルを有することを特徴とする請求項2記載のディスクアレイ制御装置。
- 15 4. 上記複数のメモリプラッタの一のメモリプラッタ内に実装された上記メモリ部に保持されているデータと、上記複数のメモリプラッタの他のメモリプラッタ内に実装された上記メモリ部に保持されているデータとが同一であることを特徴とする請求項2記載のディスクアレイ制御装置。
- 20 5. 上記メモリプラッタは、異なる電源から電源を供給される2つの領域を有し、上記2つの領域には、それぞれ上記メモリ部が実装されていることを特徴とする請求項1記載のディスクアレイ制御装置。
- 25 6. 上記ディスク装置に記録されるデータを保持するキャッシ



メモリ部をさらに有することを特徴とする請求項 1 記載のディスクアレイ制御装置。

7. 上記キャッシュメモリ部は、上記メモリプラッタ上に実装されていることを特徴とする請求項 6 記載のディスクアレイ制御装置。

8. 上記インターフェースプラッタと上記メモリ部との間を接続するケーブルと、上記インターフェースプラッタと上記キャッシュメモリ部とを接続するケーブルとを、別々のケーブルとしたことを特徴とする請求項 6 記載のディスクアレイ制御装置。

10 9. 上記メモリ部と上記キャッシュメモリ部とが実装された上記メモリプラッタを複数有し、上記インターフェースプラッタと上記複数のメモリプラッタの各メモリプラッタとの間を接続する複数のケーブルを有することを特徴とする請求項 7 記載のディスクアレイ制御装置。

15 10. 上記複数のメモリプラッタの間を接続するケーブルを有することを特徴とする請求項 9 記載のディスクアレイ制御装置。

11. 上記複数のメモリプラッタの一のメモリプラッタ内に実装された上記メモリ部及び上記キャッシュメモリ部に保持されているデータと、上記複数のメモリプラッタの他のメモリプラッタ内に実装された上記メモリ部及び上記キャッシュメモリ部に保持されているデータとが同一であることを特徴とする請求項 9 記載のディスクアレイ制御装置。

12. 上記メモリプラッタは、異なる電源から電源を供給される 2 つの領域を有し、上記 2 つの領域には、それぞれ上記メモリ部と上記共有メモリとが実装されていることを特徴とする請

25

求項 1 記載のディスクアレイ制御装置。

1 3 . ホストコンピュータと接続されるチャネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部とが実装されたインターフェースプラッタと、

5 上記ディスク装置の制御情報を格納するメモリ部が実装されたメモリプラッタと、

上記インターフェースプラッタと上記メモリプラッタとを接続するケーブルと、

10 上記チャネルインターフェース部と、上記ディスクインターフェース部と、上記メモリ部とに接続され、上記チャネルインターフェース及び上記ディスクインターフェース部からの要求を選択するセクタ部、

とを有することを特徴とするディスクアレイ制御装置。

1 4 . 上記セクタ部は、上記インターフェースプラッタに実装されていることを特徴とする請求項 1 3 記載のディスクアレイ制御装置。

1 5 . 上記ケーブルは、上記セクタ部と上記メモリ部とを接続することを特徴とする請求項 1 4 記載のディスクアレイ制御装置。

20 1 6 . 上記セクタ部は、上記チャネルインターフェース部とい上記ディスクインターフェース部とが実装されている面と反対側の面に実装されていることを特徴とする請求項 1 3 記載のディスクアレイ制御装置。

25 1 7 . ホストコンピュータと接続されるチャネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部と、

ス部とが実装されたインターフェースプラッタと、

上記ディスク装置に記録されるデータを保持するキャッシュメモリ部が実装されたメモリプラッタと、

上記インターフェースプラッタと上記メモリプラッタとを接続するケーブル、

とを有することを特徴とするディスクアレイ制御装置。

18. ホストコンピュータと接続されるチャネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部とが実装されたインターフェースプラッタと、

10 上記ディスク装置に記録されるデータを保持するキャッシュメモリ部が実装されたメモリプラッタと、

上記インターフェースプラッタと上記メモリプラッタとを接続するケーブルと、

上記チャネルインターフェース部と、上記ディスクインターフェース部と、上記キャッシュメモリ部とに接続され、上記チャネルインターフェース及び上記ディスクインターフェース部からの要求を選択するセクタ部、

とを有することを特徴とするディスクアレイ制御装置。

19. 上記セクタ部は、上記インターフェースプラッタに実装されていることを特徴とする請求項18記載のディスクアレイ制御装置。

20. 上記ケーブルは、上記セクタ部と上記メモリ部とを接続することを特徴とする請求項19記載のディスクアレイ制御装置。

25 21. 上記セクタ部は、上記チャネルインターフェース部と

い上記ディスクインターフェース部とが実装されている面と反対側の面に実装されていることを特徴とする請求項 19 記載のディスクアレイ制御装置。

22. それぞれに、ホストコンピュータと接続されるチャンネル  
5 インターフェース部と、ディスク装置と接続されるディスクインターフェース部と、上記ディスク装置の制御情報を格納するメモリ部とが実装された複数のプラッタと、

上記複数のプラッタ間を接続するケーブル、  
とを有することを特徴とするディスクアレイ制御装置。

- 10 23. 上記ケーブルは、上記複数のプラッタ内の一のプラッタ内の上記チャンネルインターフェース部または上記ディスクインターフェース部と、上記複数のプラッタ内の他のプラッタ内の上記メモリ部とを接続するケーブルを有することを特徴とする請求項 22 記載のディスクアレイ制御装置。

- 15 24. それぞれに、ホストコンピュータと接続されるチャンネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部と、上記ディスク装置の制御情報を格納するメモリ部とが実装された複数のプラッタと、

上記複数のプラッタ間を接続するケーブルと、

- 20 上記複数のプラッタの一のプラッタ内に実装された上記チャンネルインターフェース部と上記ディスクインターフェース部と上記メモリ部とに接続され、上記チャンネルインターフェース及び上記ディスクインターフェース部からの要求を選択するセレクタ部、

- 25 とを有することを特徴とするディスクアレイ制御装置。

25. 上記セクタ部は、上記プラッタに実装されていることを特徴とする請求項24記載のディスクアレイ制御装置。

26. 上記セクタ部は、上記複数のプラッタの他のプラッタ内に実装された上記チャネルインターフェース部と上記ディスクインターフェース部とに接続されていることを特徴とする請求項24記載のディスクアレイ制御装置。

27. それぞれに、ホストコンピュータと接続されるチャネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部と、上記ディスク装置に記録されるデータを保持するキャッシュメモリ部とが実装された複数のプラッタと、  
上記複数のプラッタ間を接続するケーブルと、

上記複数のプラッタの一のプラッタ内に実装された上記チャネルインターフェース部と上記ディスクインターフェース部と上記キャッシュメモリ部とに接続され、上記チャネルインターフェース及び上記ディスクインターフェース部からの要求を選択するセクタ部、

とを有することを特徴とするディスクアレイ制御装置。

28. 上記セクタ部は、上記プラッタに実装されていることを特徴とする請求項27記載のディスクアレイ制御装置。

29. 上記セクタ部は、上記複数のプラッタの他のプラッタ内に実装された上記チャネルインターフェース部と上記ディスクインターフェース部とに接続されていることを特徴とする請求項27記載のディスクアレイ制御装置。

30. ホストコンピュータと接続されるチャネルインターフェース部が実装された第1のプラッタと、ディスク装置と接続さ

れるディスクインターフェース部が実装された第2のプラッタと、

上記ディスク装置の制御情報を格納するメモリ部が実装された第3のプラッタと、

5      上記第1のプラッタと上記第3のプラッタとを接続するケーブルと、

上記第2のプラッタと上記第3のプラッタとを接続するケーブル、

とを有することを特徴とするディスクアレイ制御装置。

10    31. 上記ディスク装置に記録されるデータを保持するキャッシュメモリが実装された第4のプラッタと、

上記第1のプラッタと上記第4のプラッタとを接続するケーブルと、

15    上記第2のプラッタと上記第4のプラッタとを接続するケーブル、

とを有することを特徴とする請求項30記載のディスクアレイ制御装置。

32. ホストコンピュータと接続されるチャネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部と、上記チャネルインターフェース部と上記ディスクインターフェース部とに接続された共有バスと、上記共有バスに接続され、上記チャネルインターフェース部及び上記ディスクインターフェース部からの要求を制御する共有バス制御部とが実装されたインターフェースプラッタと、

20

25    上記ディスク装置の制御情報を格納するメモリ部が実装され

たメモリプラッタと、

上記インターフェースプラッタと上記メモリプラッタとを接続するケーブル、

とを有することを特徴とするディスクアレイ制御装置。

- 5    33. 上記ディスク装置に記録されるデータを保持するキャッシュメモリ部を有することを特徴とする請求項33記載のディスクアレイ制御装置。

34. 上記キャッシュメモリ部は、上記メモリプラッタに実装されていることを特徴とする請求項33記載のディスクアレイ  
10 制御装置。

35. ホストコンピュータと接続されるチャネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部とが実装されたインターフェースプラッタと、

- 上記ディスク装置の制御情報を格納するメモリ部が実装され  
15 たメモリプラッタとを有し、

上記インターフェースプラッタの実装される向きと、上記メモリプラッタの実装される向きとが異なることを特徴とするディスクアレイ制御装置。

36. 上記インターフェースプラッタと上記メモリプラッタとは直交するように実装されることを特徴とする請求項35記載  
20 のディスクアレイ制御装置。

37. それぞれに、ホストコンピュータと接続されるチャネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部とが実装された複数のインターフェースプラ  
25 ッタと、

上記ディスク装置の制御情報を格納するメモリ部が実装されたメモリプラッタとを有し、

上記複数のインターフェースプラッタの間に上記メモリプラッタが実装されていることを特徴とするディスクアレイ制御装置。

38. それぞれに、ホストコンピュータと接続されるチャンネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部と、上記ディスク装置の制御情報を格納するメモリ部とが実装された複数のプラッタを有し、上記複数のプラッタの一のプラッタの上方に、上記複数のプラッタの他のプラッタが実装されていることを特徴とするディスクアレイ制御装置。

39. 上記一のプラッタと上記他のプラッタとは、鉛直方向に実装されていることを特徴とする請求項38記載のディスクアレイ制御装置。

40. ホストコンピュータと接続されるチャンネルインターフェース部と、ディスク装置と接続されるディスクインターフェース部とが実装されたインターフェースプラッタと、

上記ディスク装置に記録されるデータを保持するキャッシュメモリ部が実装されたメモリプラッタとを有し、

上記インターフェースプラッタの実装される向きと、上記メモリプラッタの実装される向きとが異なることを特徴とするディスクアレイ制御装置。

41. 上記インターフェースプラッタと上記メモリプラッタとは直交するように実装されることを特徴とする請求項40記載



のディスクアレイ制御装置。

42. それぞれに、ホストコンピュータと接続されるチャネル  
インターフェース部と、ディスク装置と接続されるディスクイ  
ンターフェース部とが実装された複数のインターフェースプラ

5 ッタと、

上記ディスク装置に記録されるデータを保持するキャッシュ  
メモリ部が実装されたメモリプラッタとを有し、

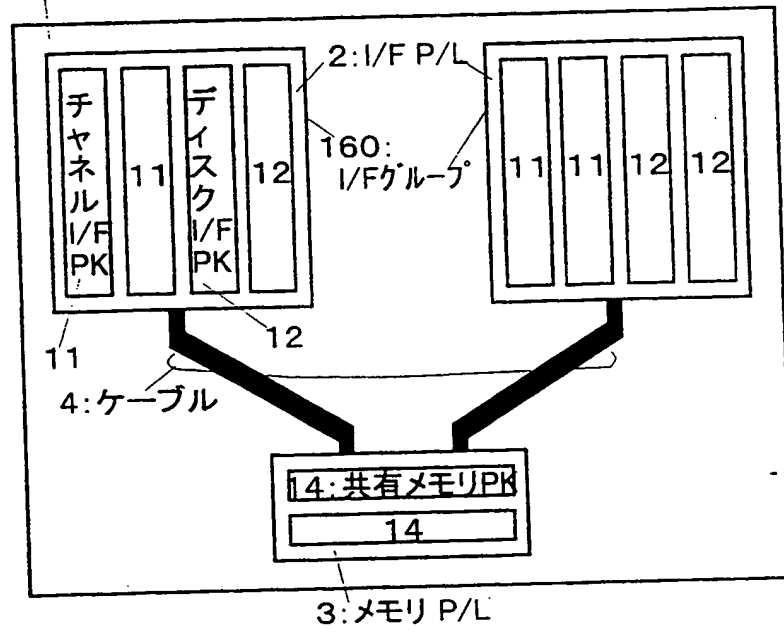
上記複数のインターフェースプラッタの間に上記メモリプラ  
ッタが実装されていることを特徴とするディスクアレイ制御装

10 置。

1 / 83

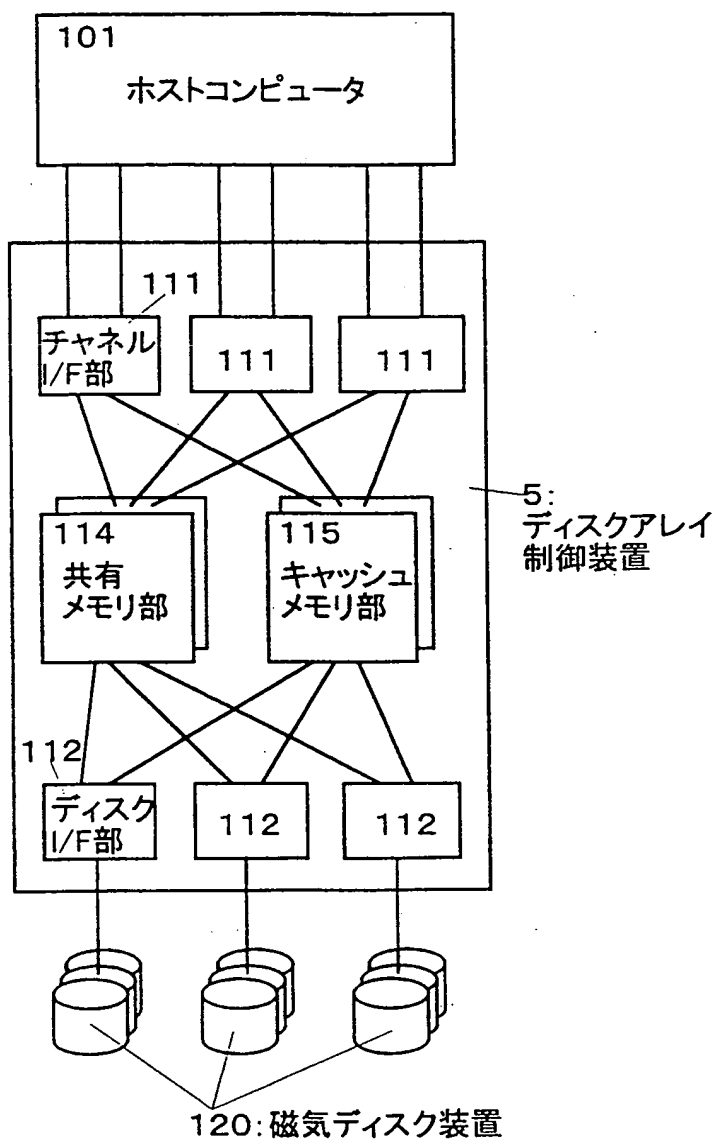
## 第1図

1: ディスクアレイ制御装置



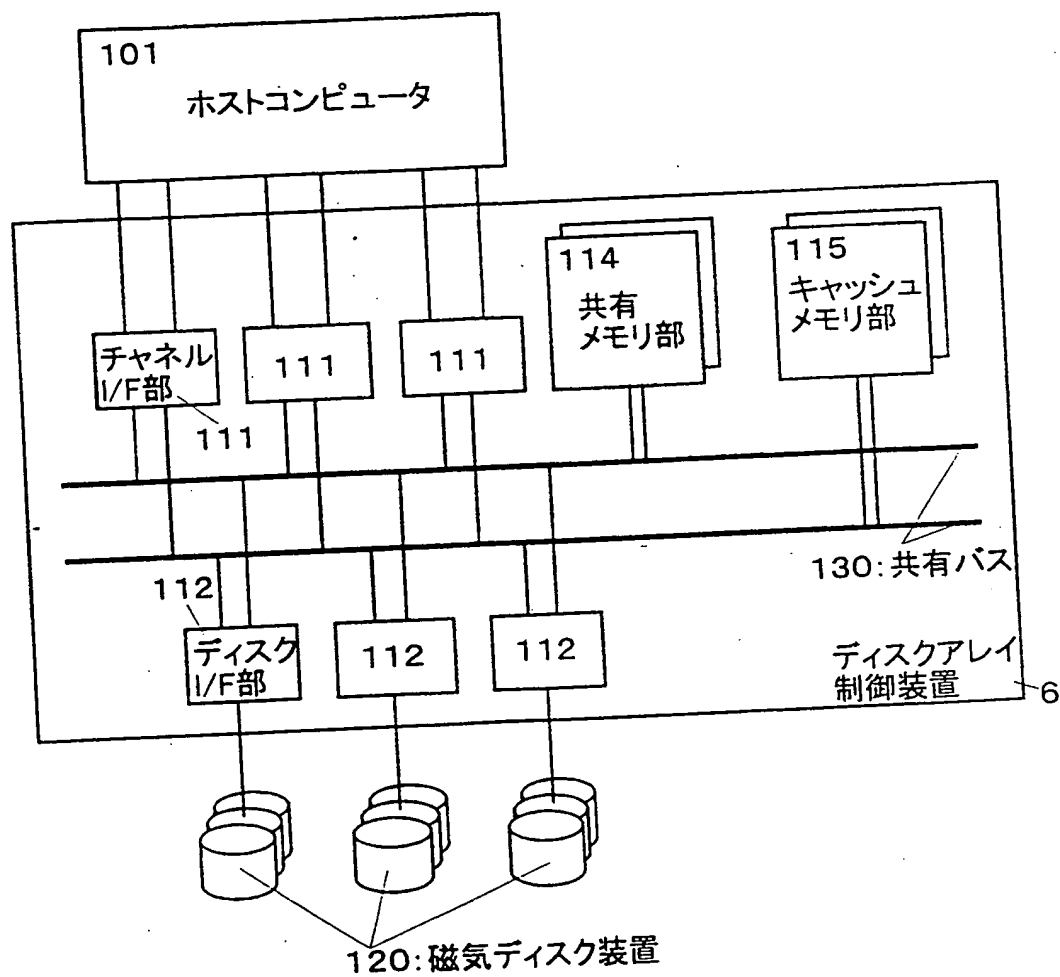
2 / 83

第2図



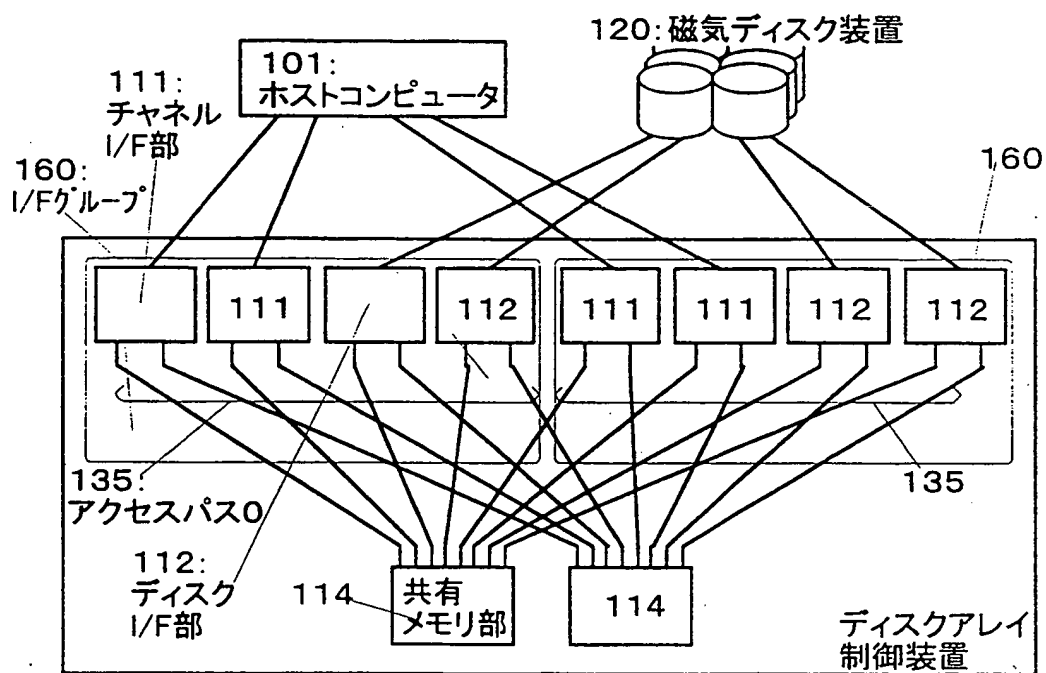
3 / 83

第3図



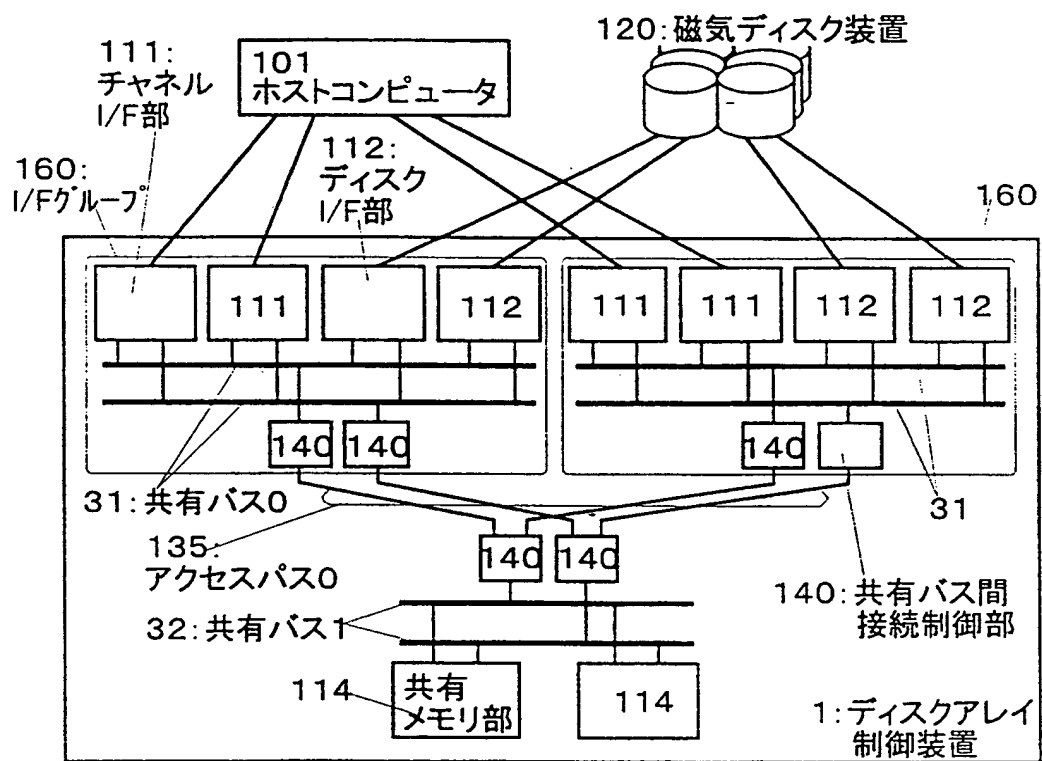
4 / 83

第4図



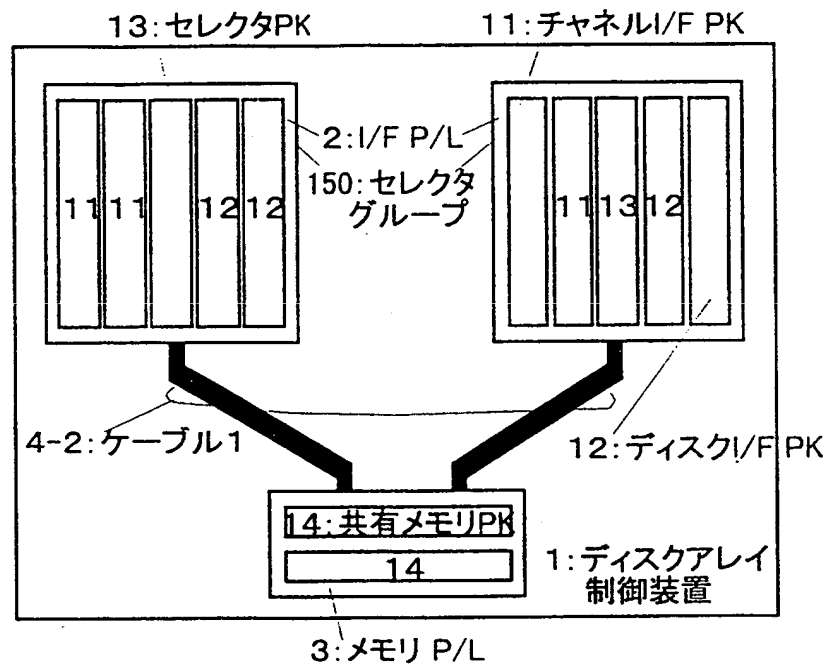
5 / 83

第5図



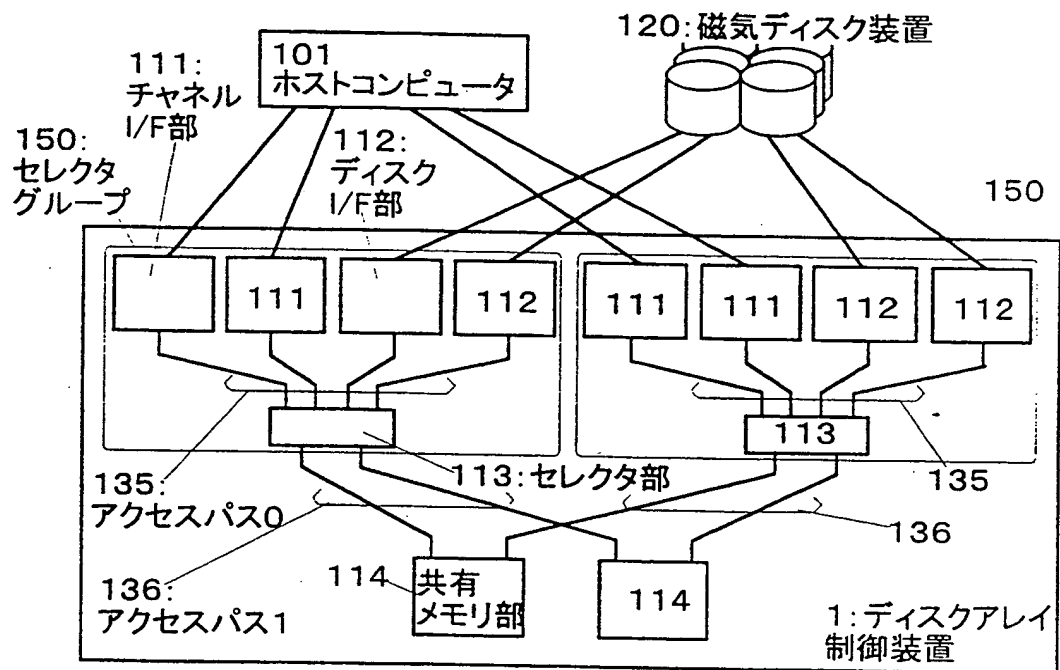
6 / 83

第6図



7/83

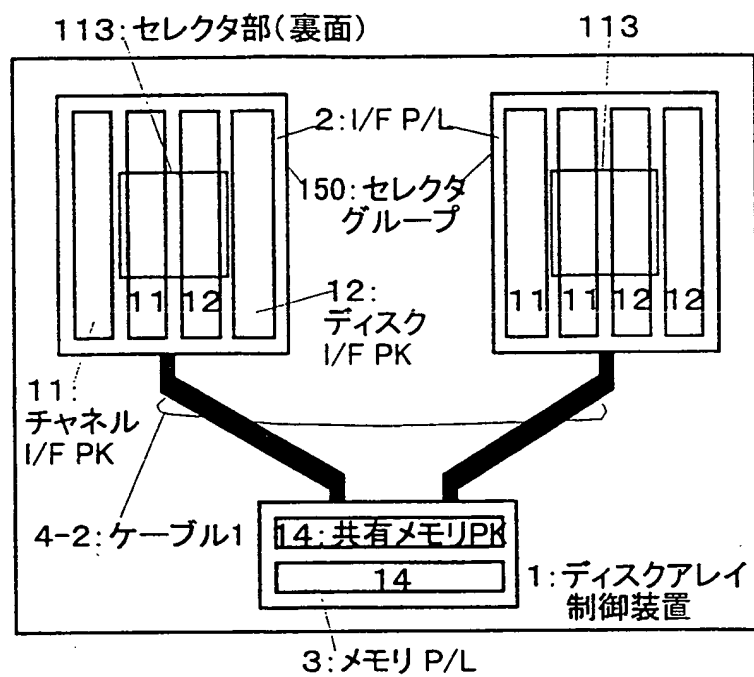
第7図





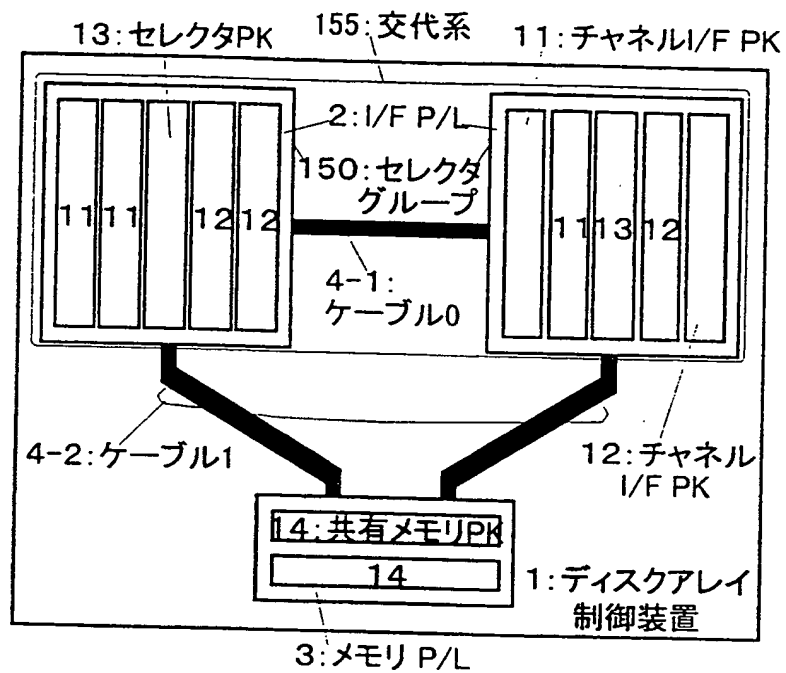
8 / 83

第8図



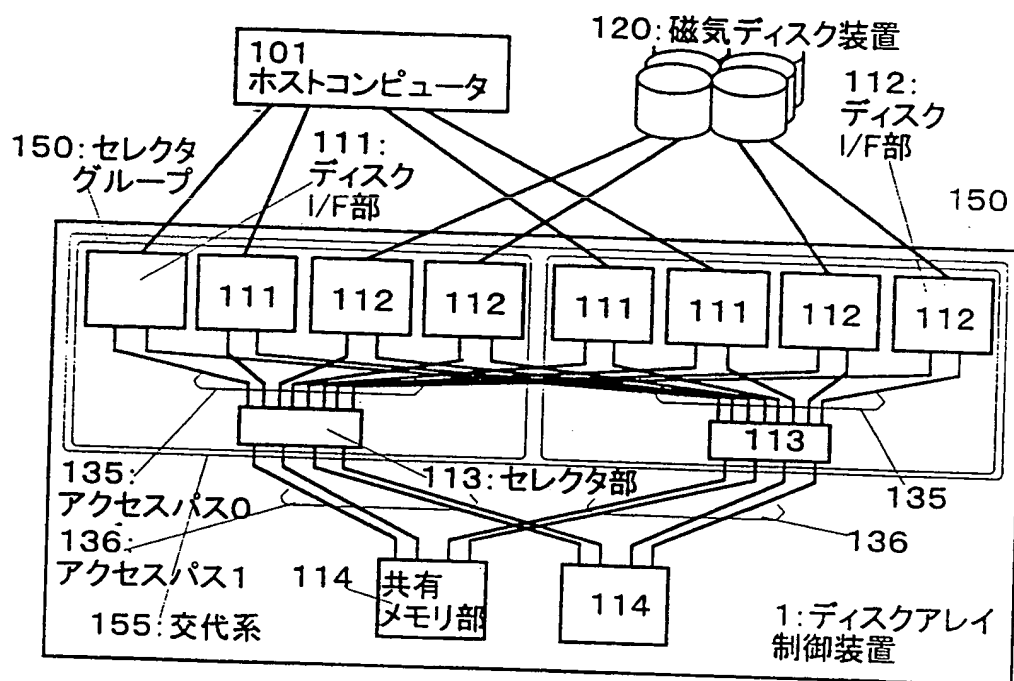
9 / 83

第9図



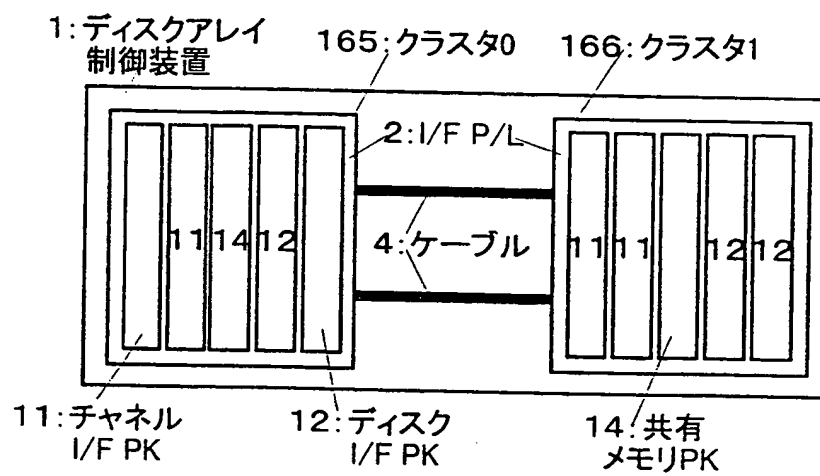
10 / 83

第10図



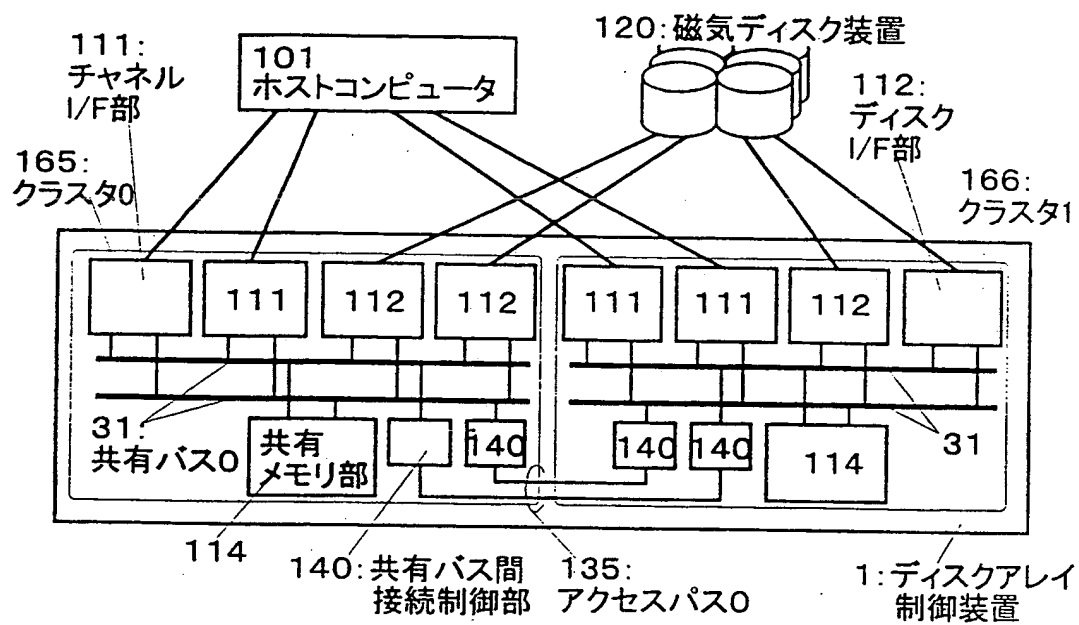
11 / 83

第11図



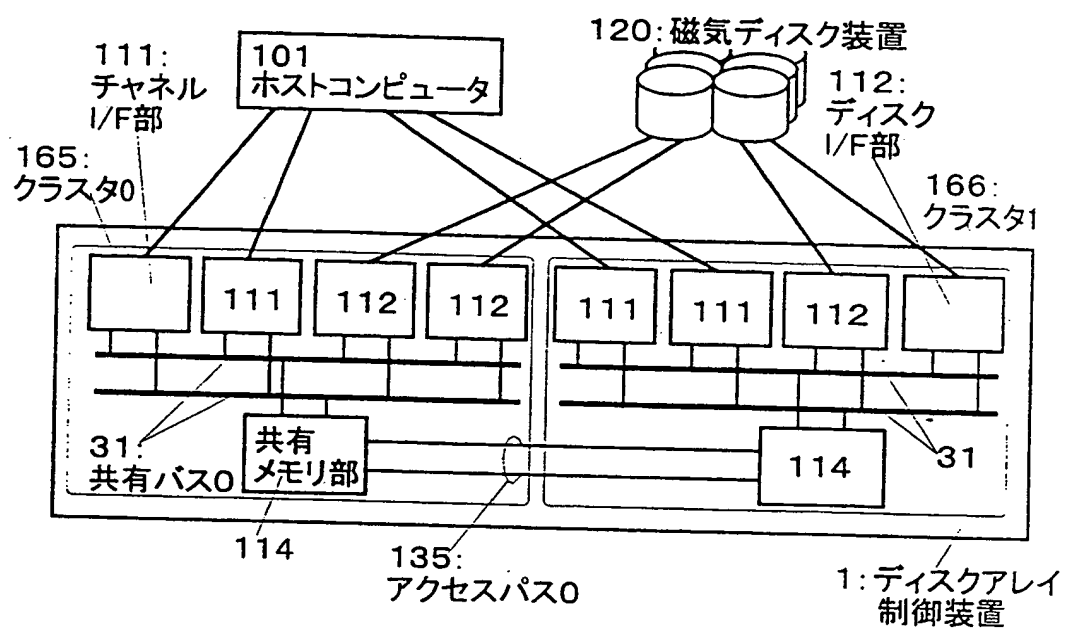
12 / 83

第12図



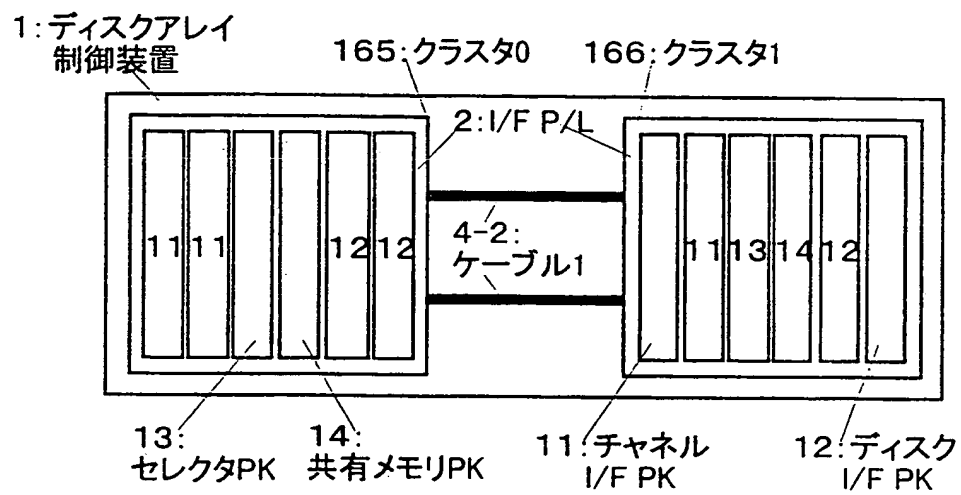
13 / 83

第13図



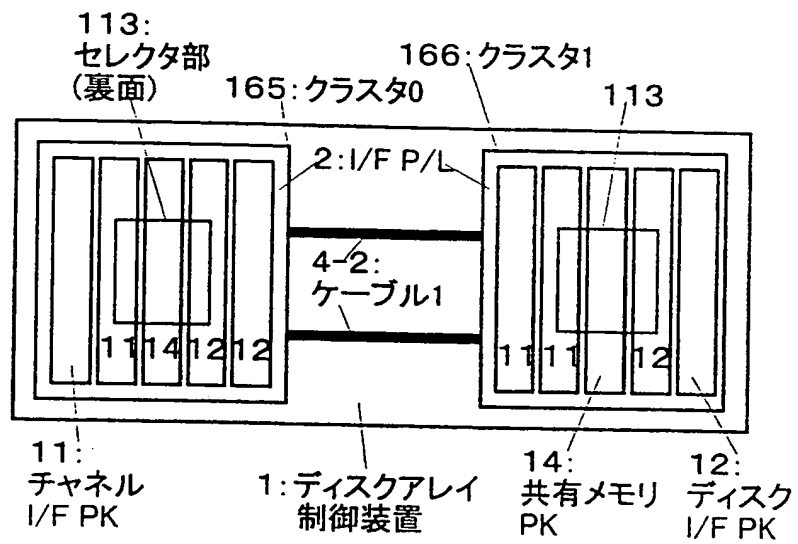
14 / 83

第14図



15 / 83

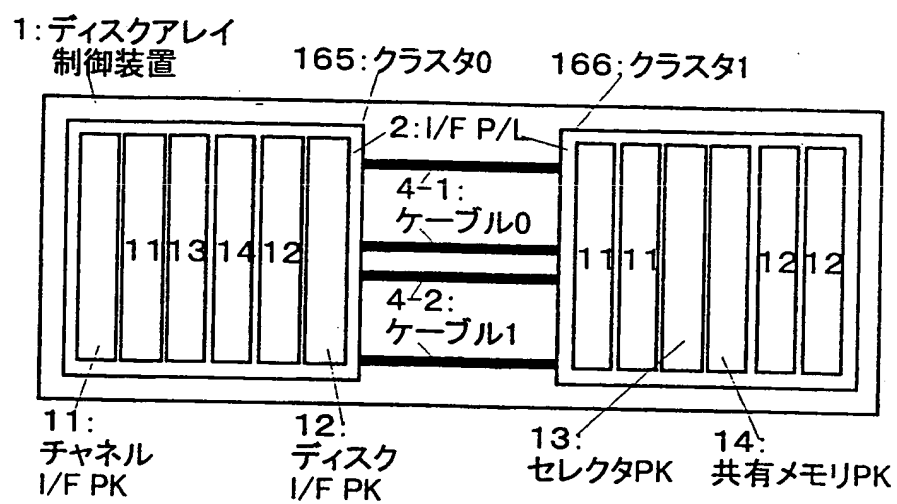
第15図





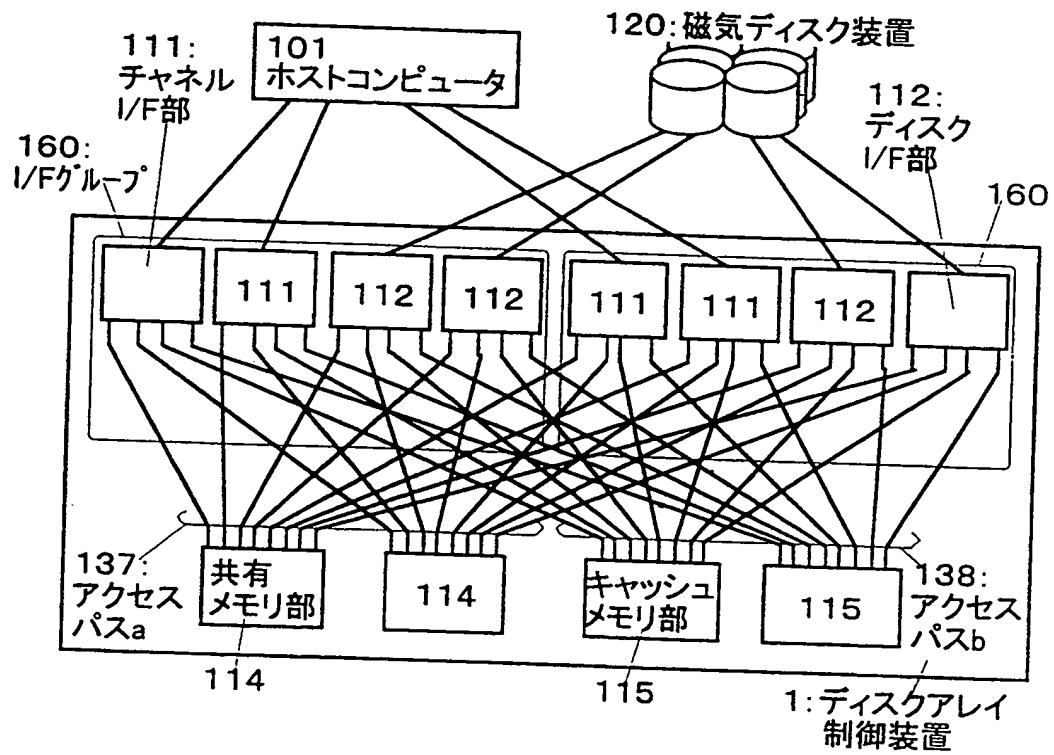
16 / 83

第16図



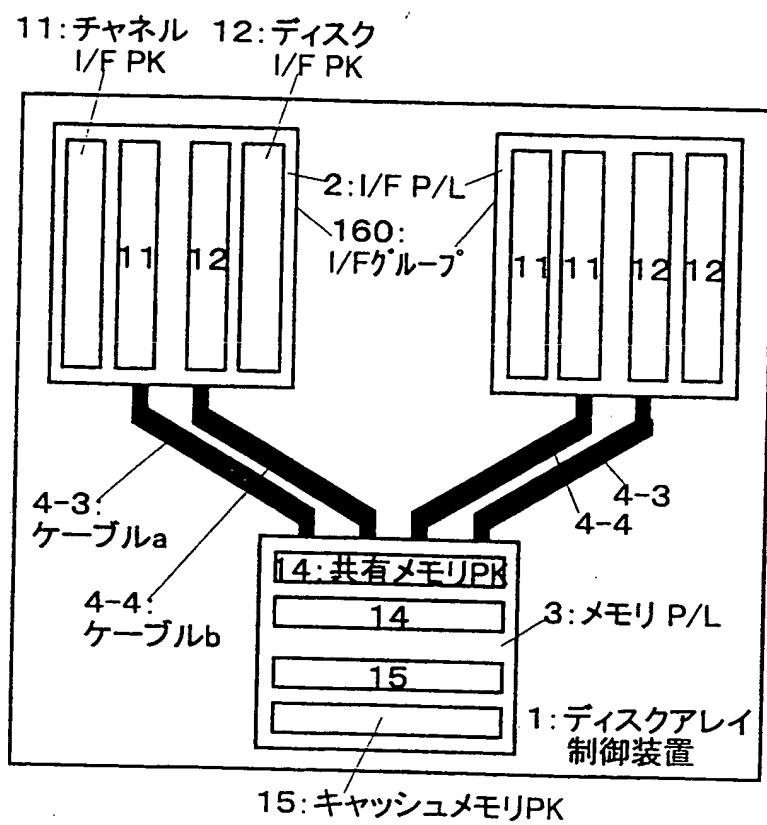
17 / 83

第17図



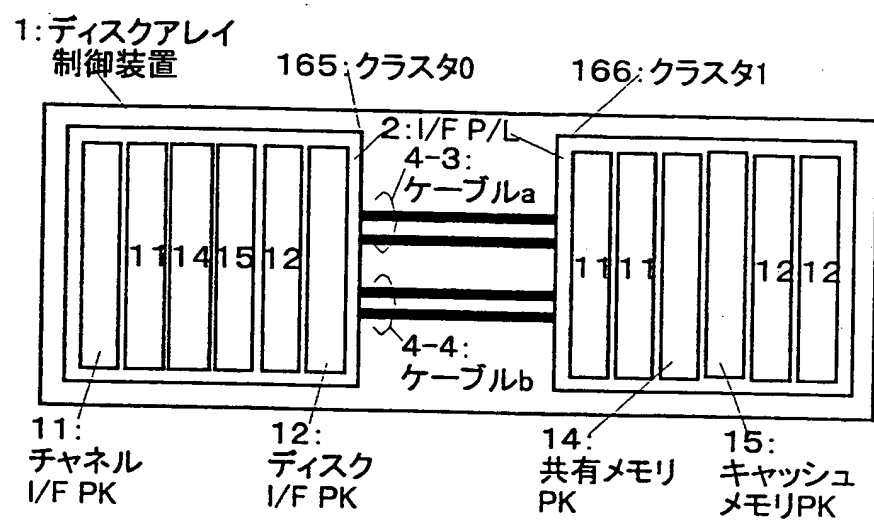
18 / 83

第18図



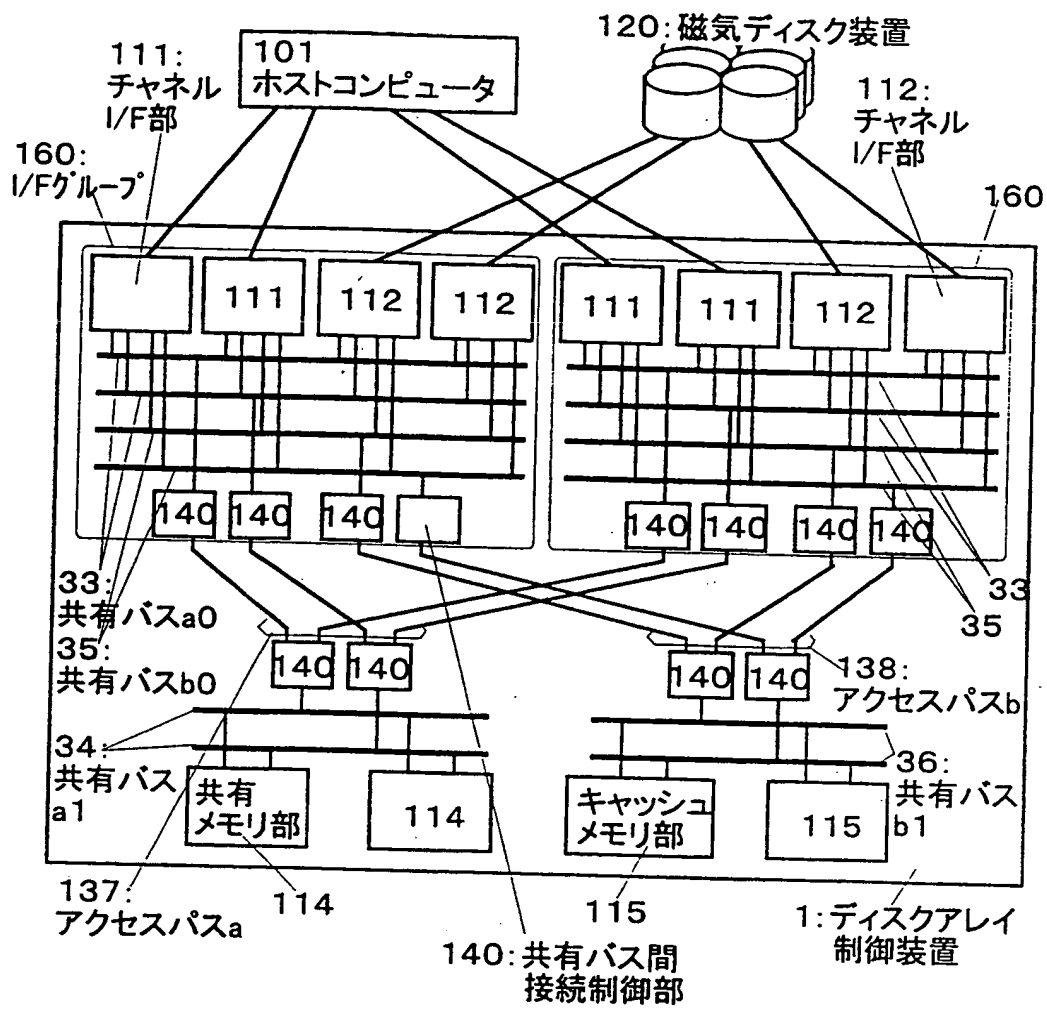
19 / 83

第19図



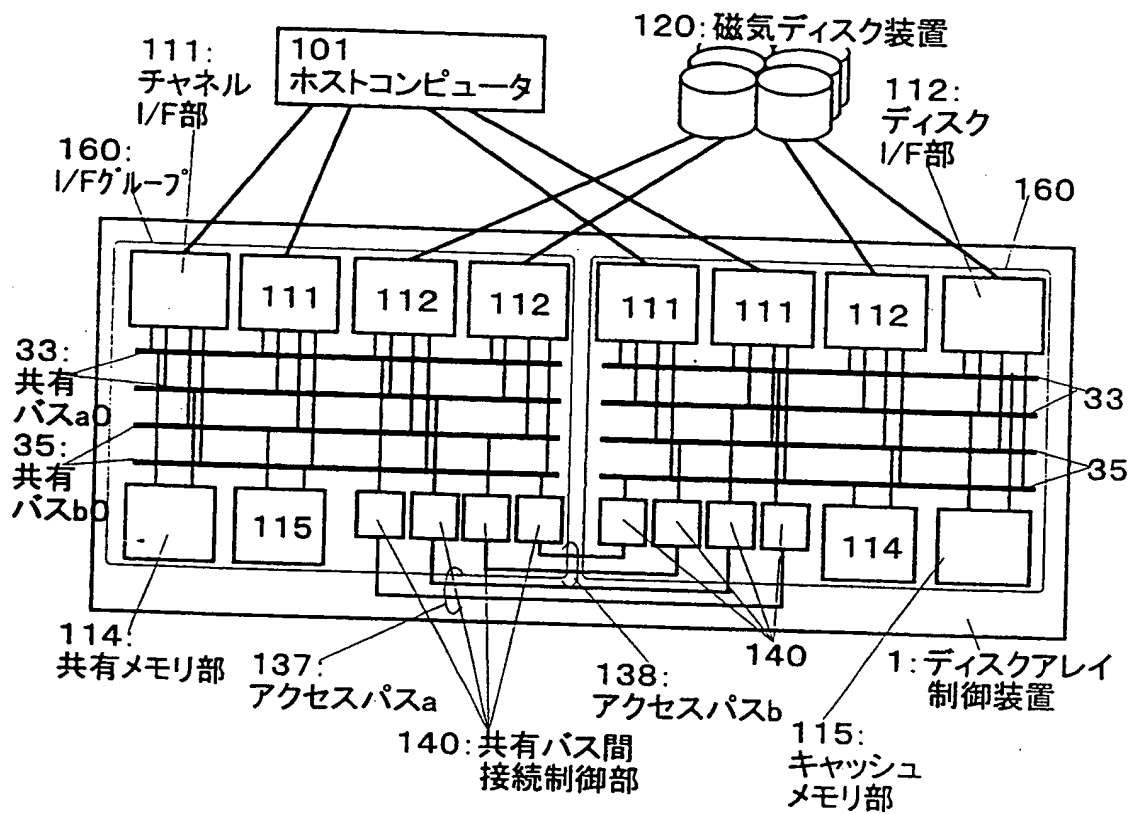
20 / 83

第20図



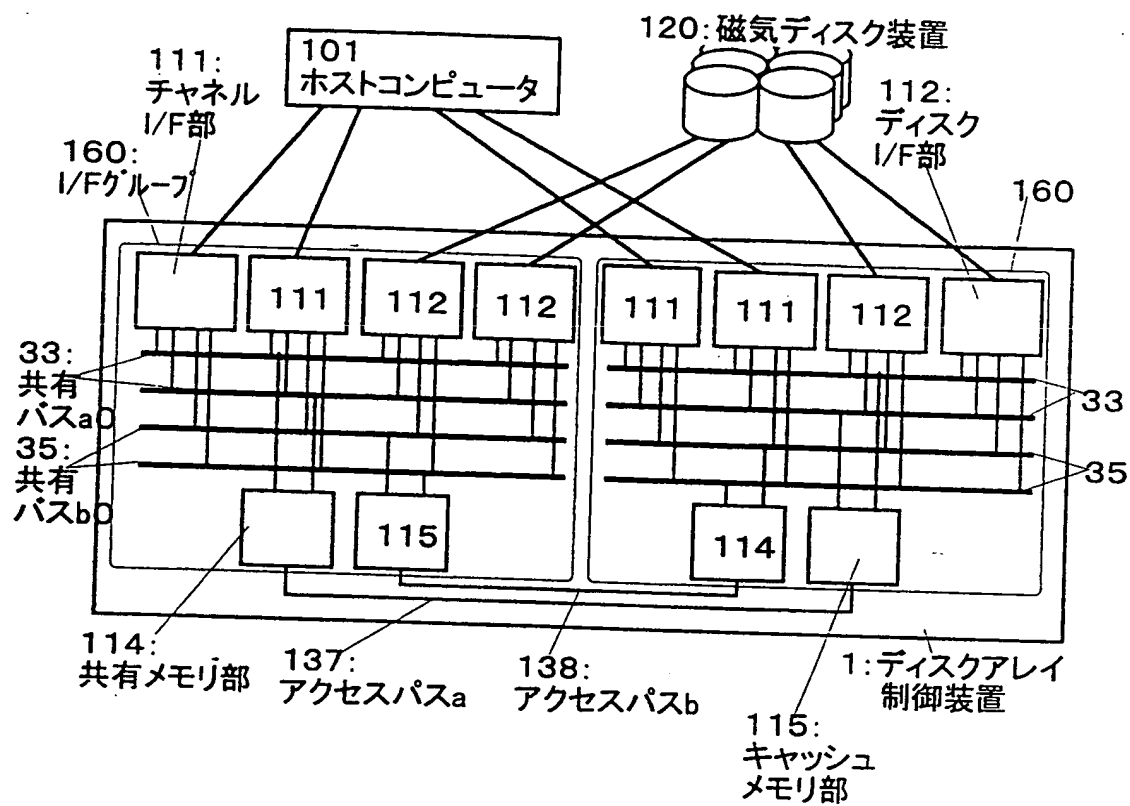
21 / 83

第21図



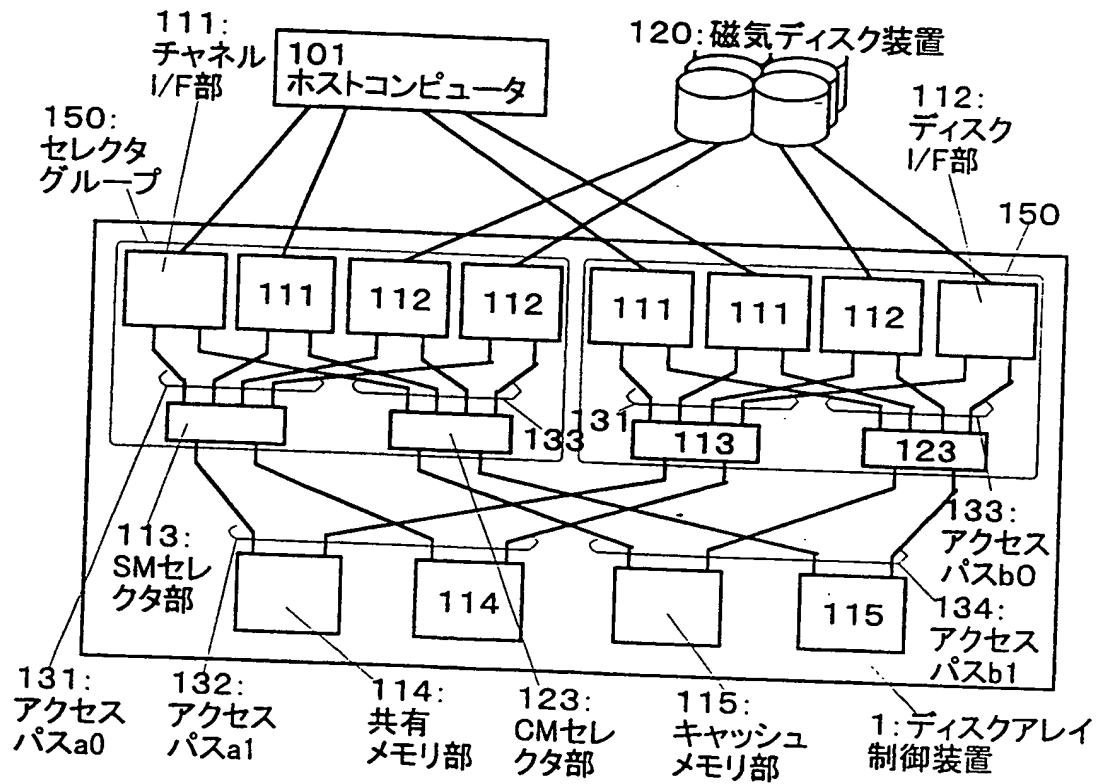
22 /83

第22図



23 / 83

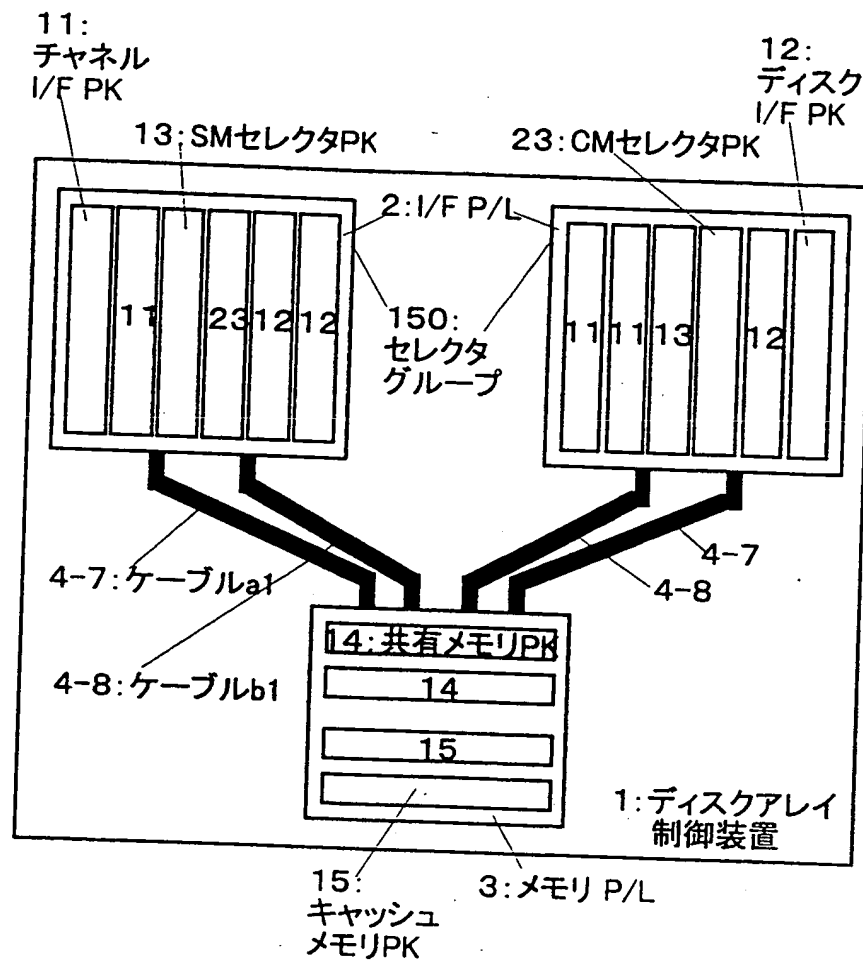
第23図





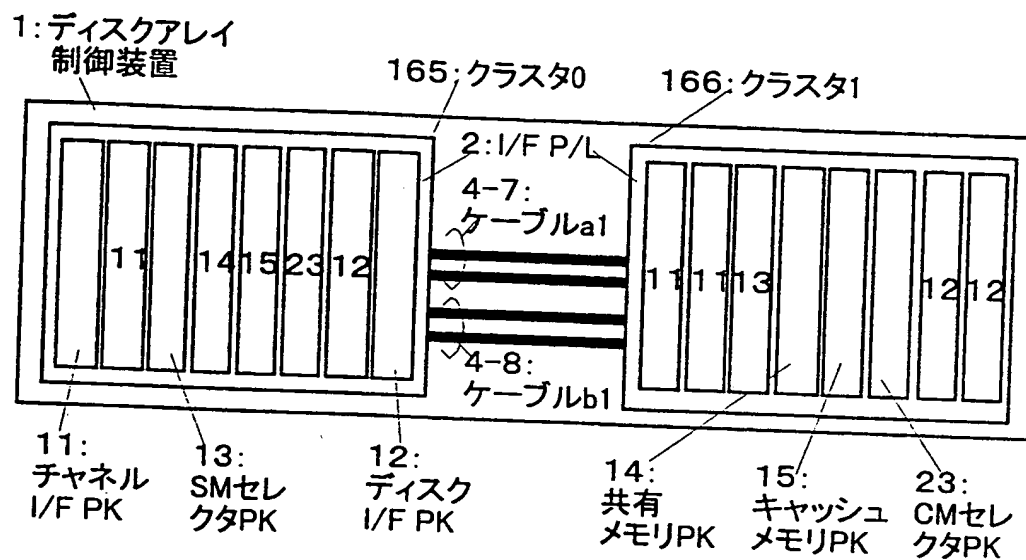
24 /83

第24図



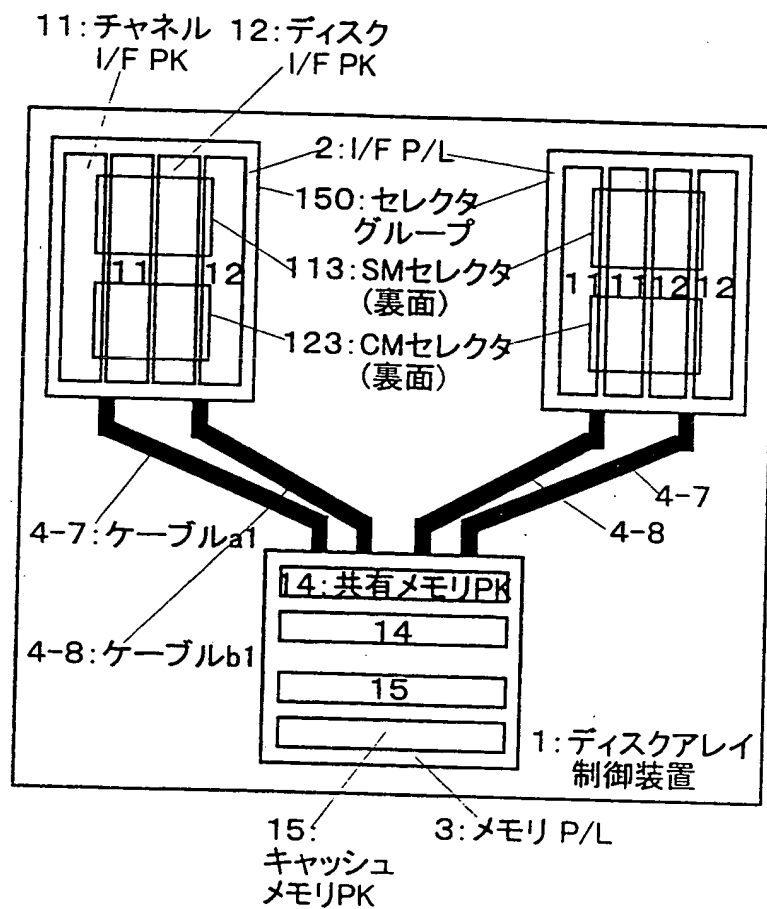
25 /83

第25図



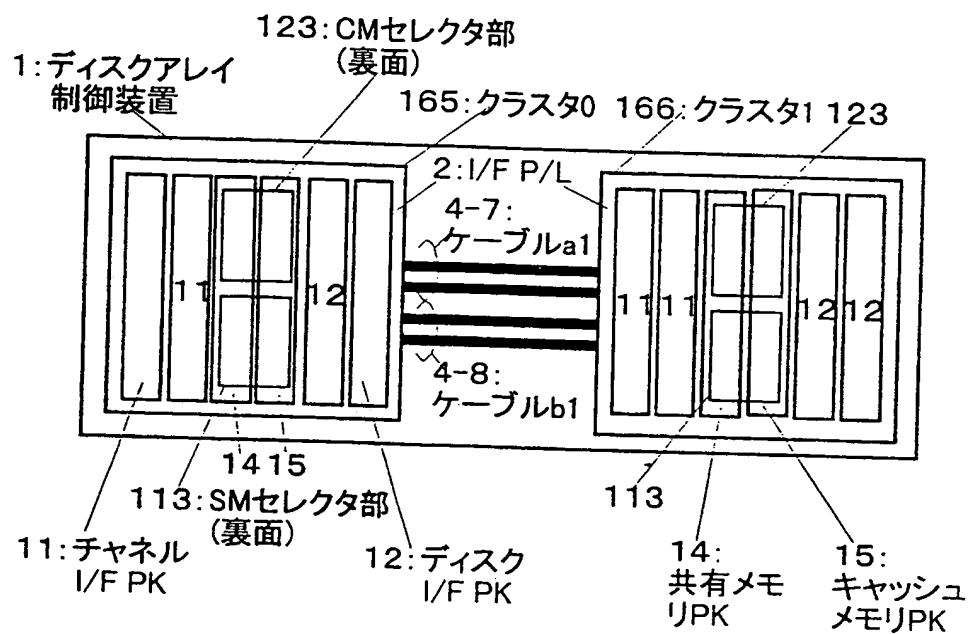
26 / 83

第26図



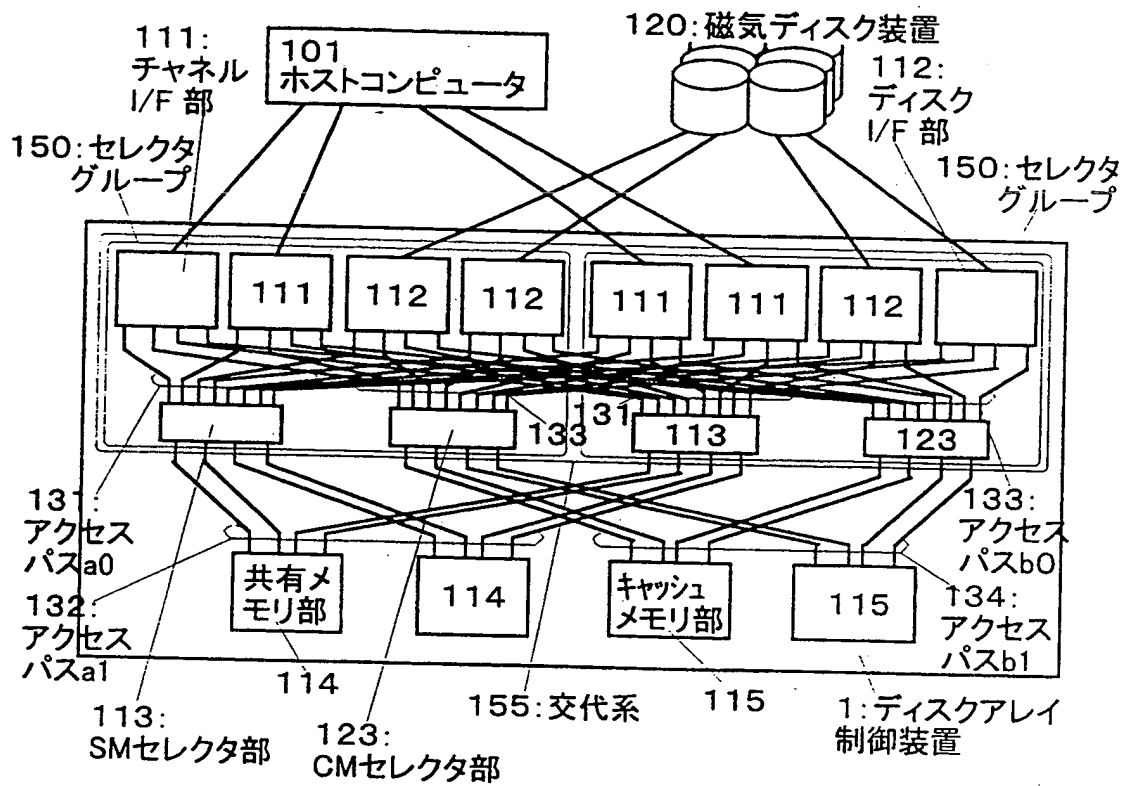
27 / 83

第27図



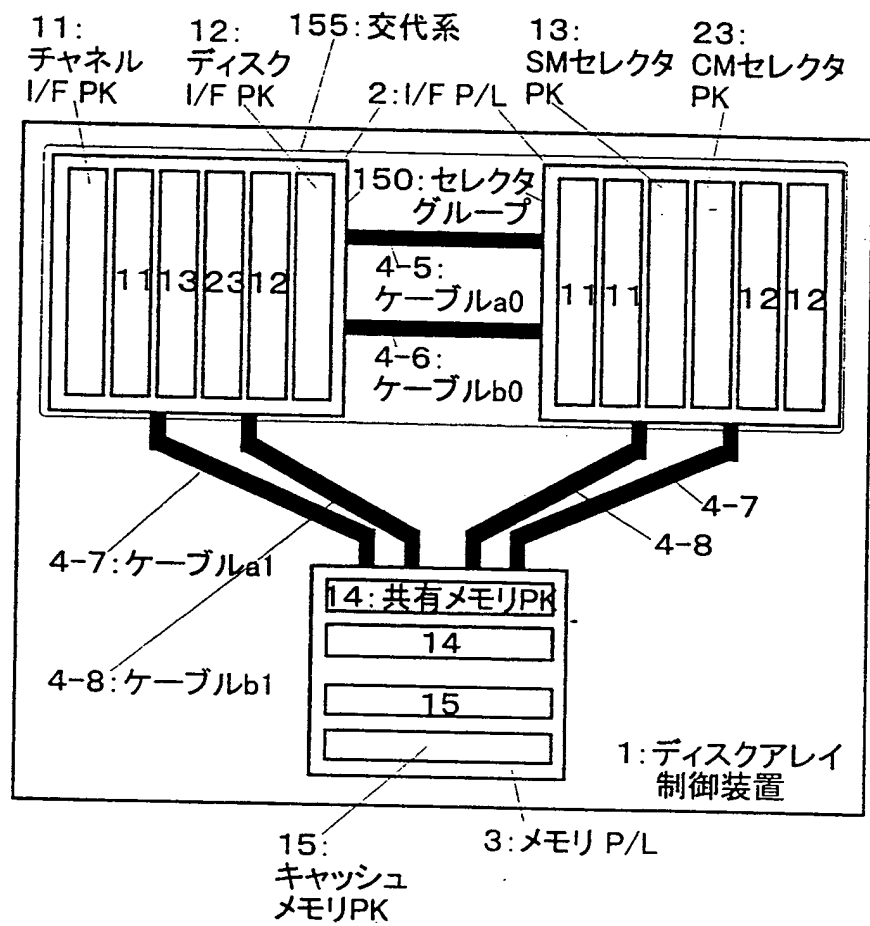
28 / 83

第28圖



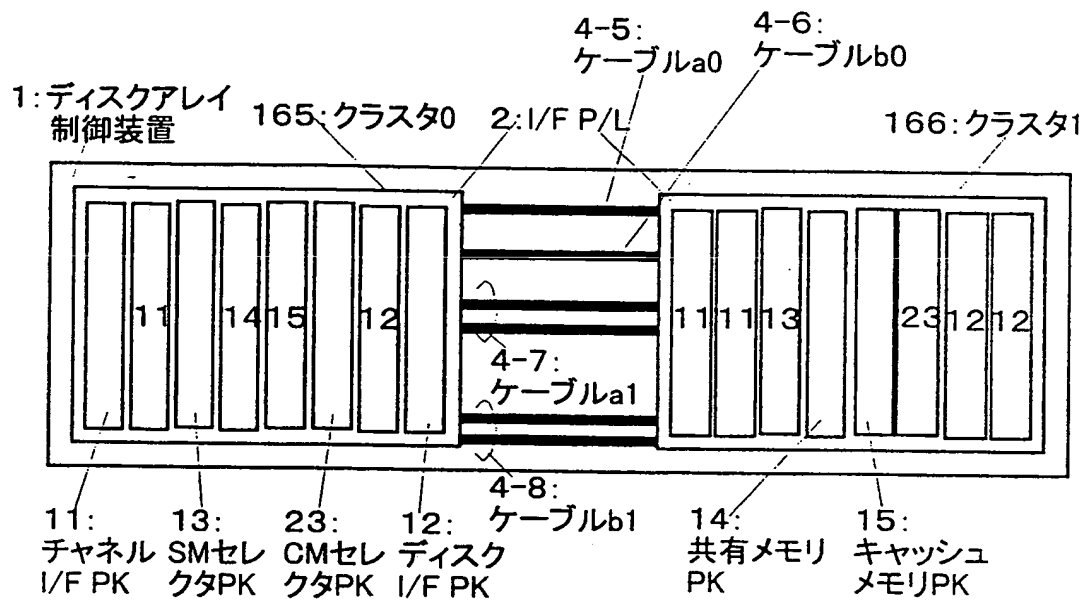
29 / 83

第29図



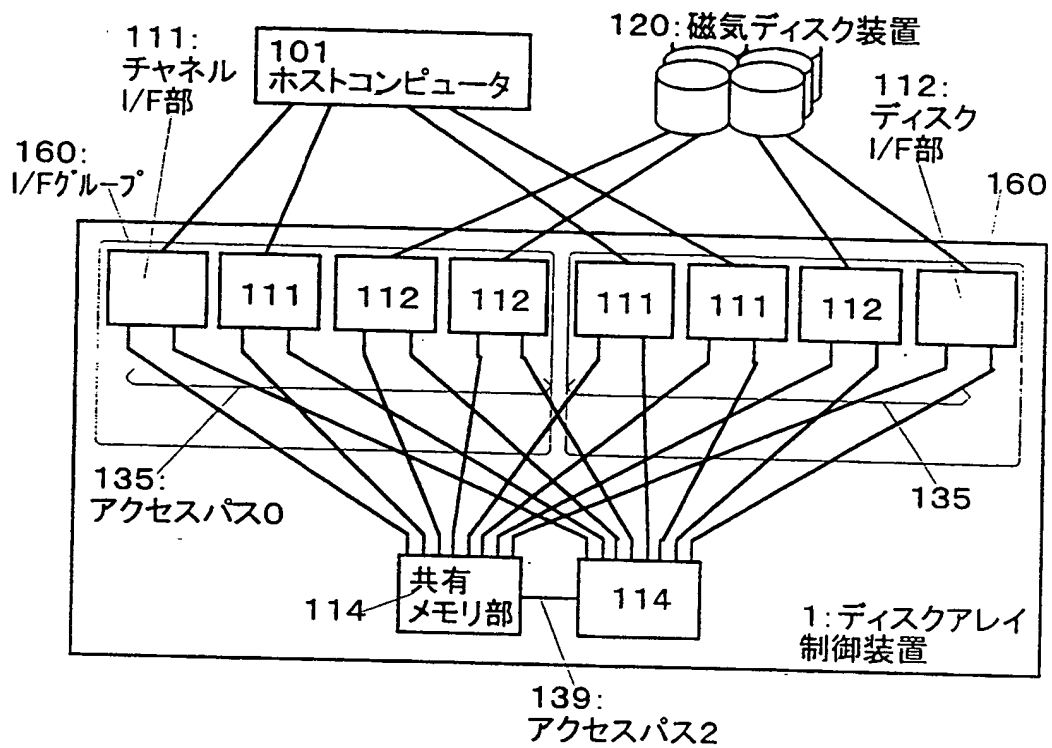
30 / 83

第30図



31 / 83

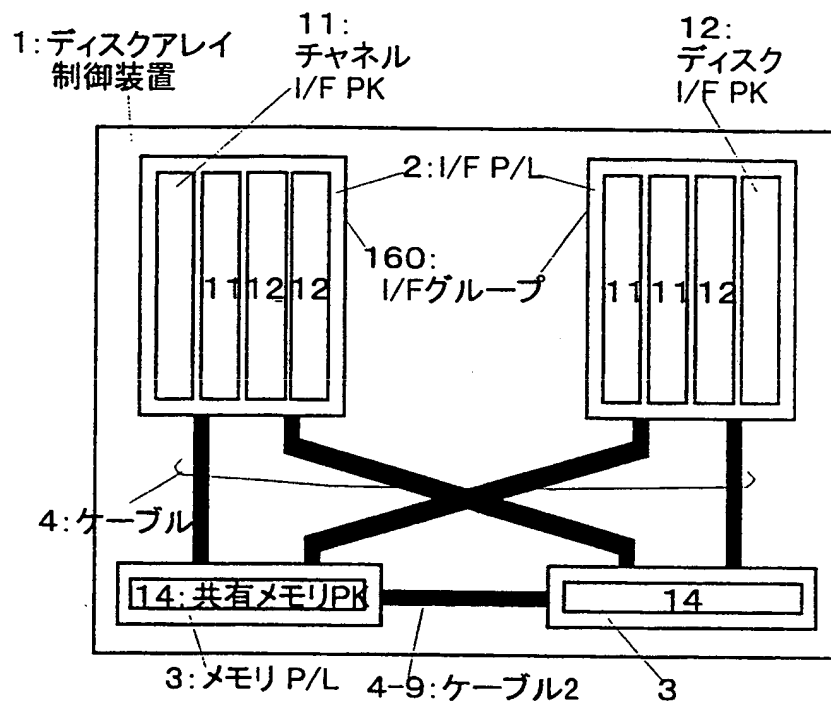
第31図





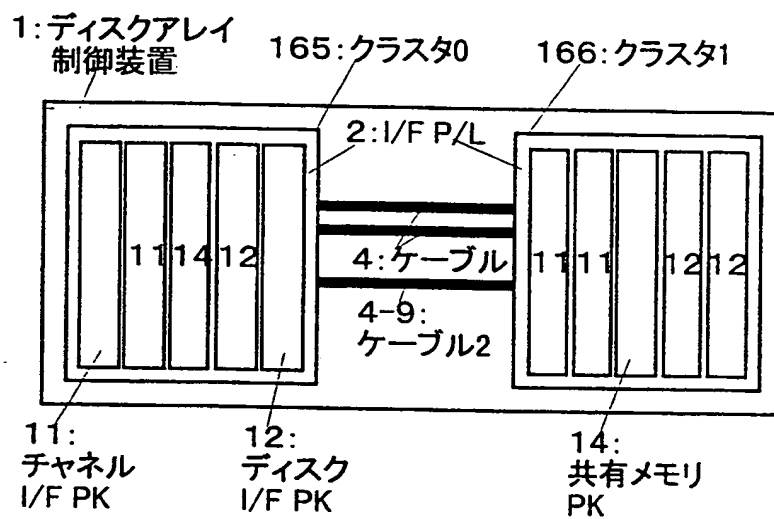
32 /83

第32図



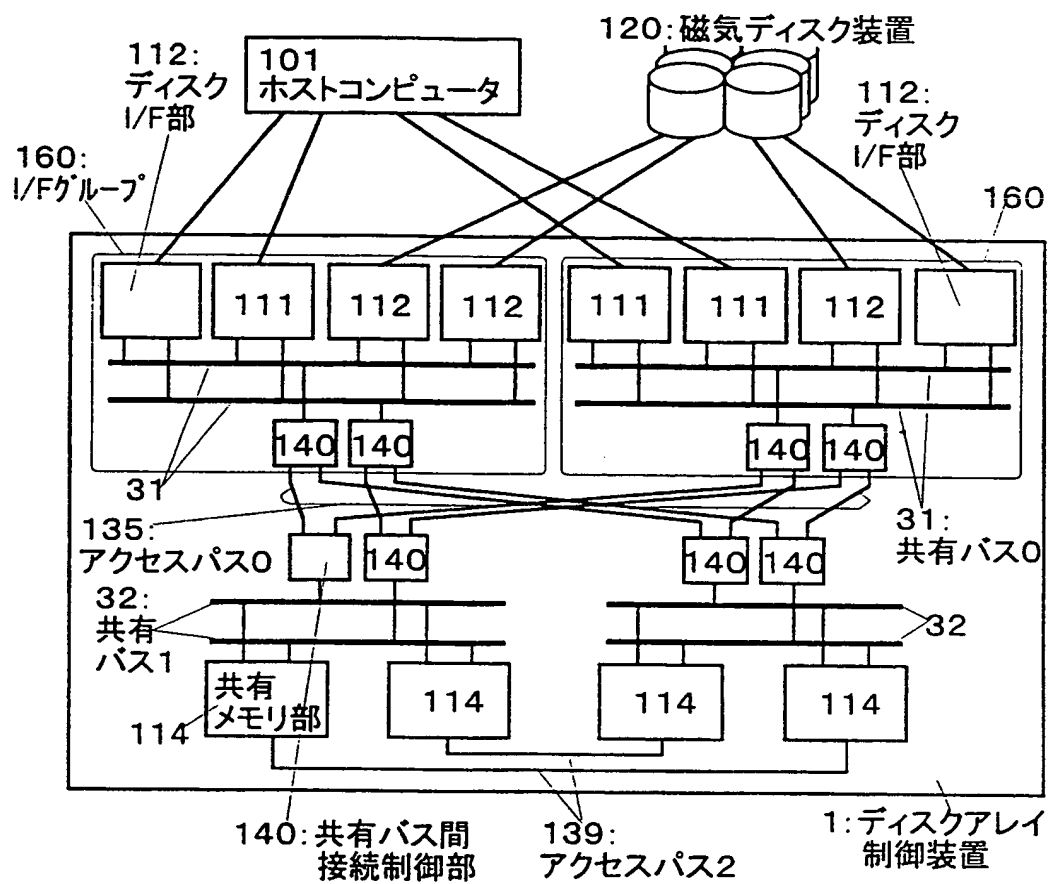
33 /83

第33図



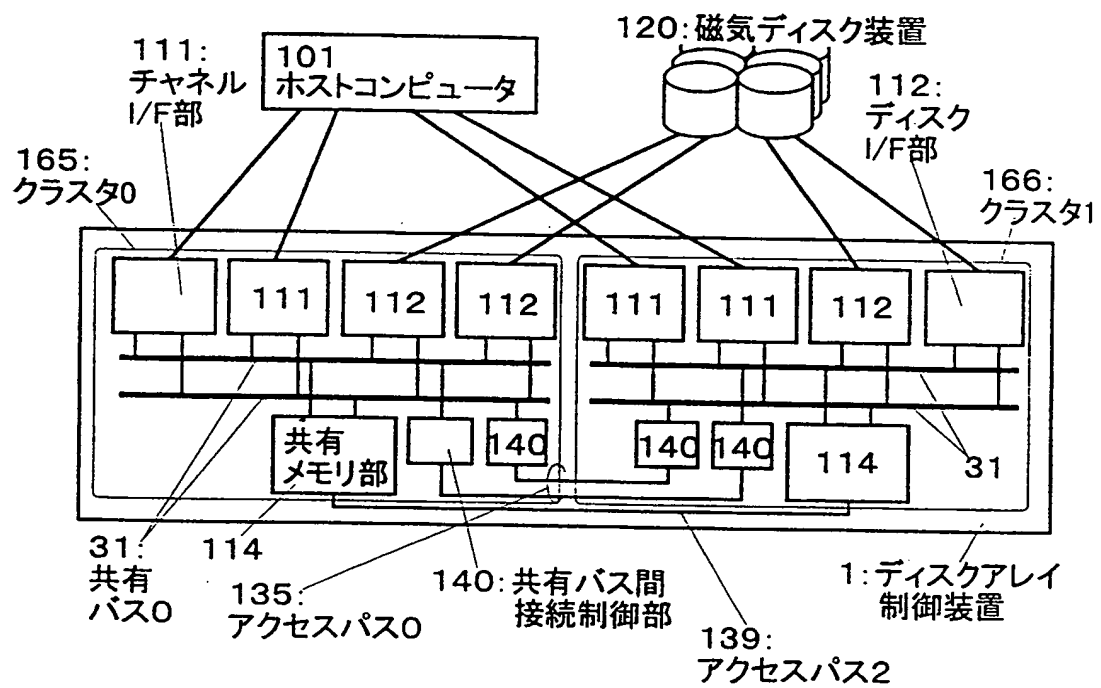
34 / 83

第34図



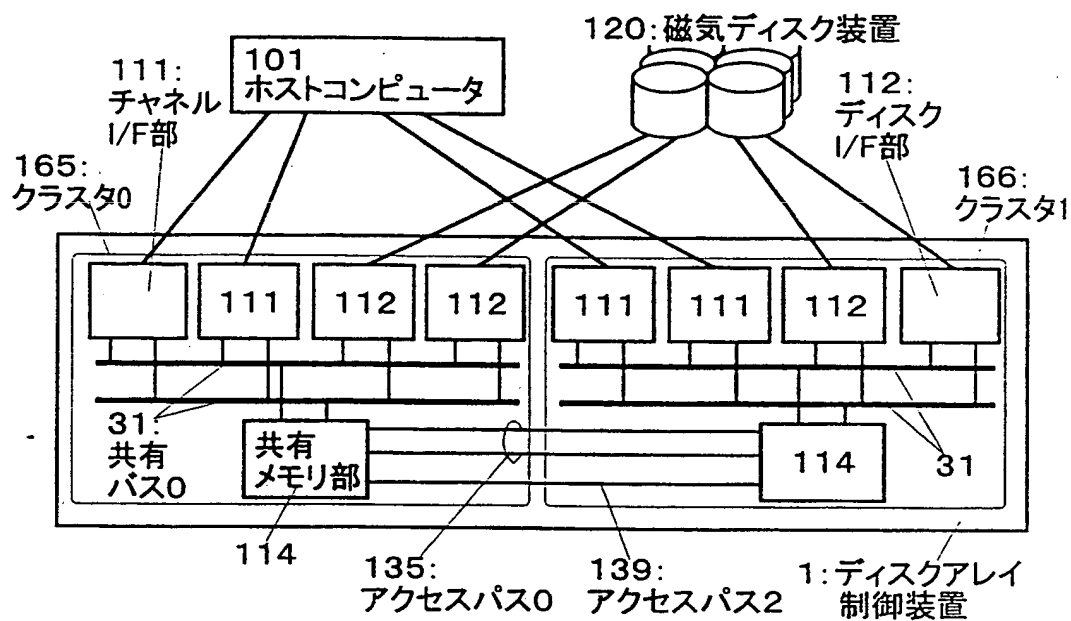
35 / 83

第35図



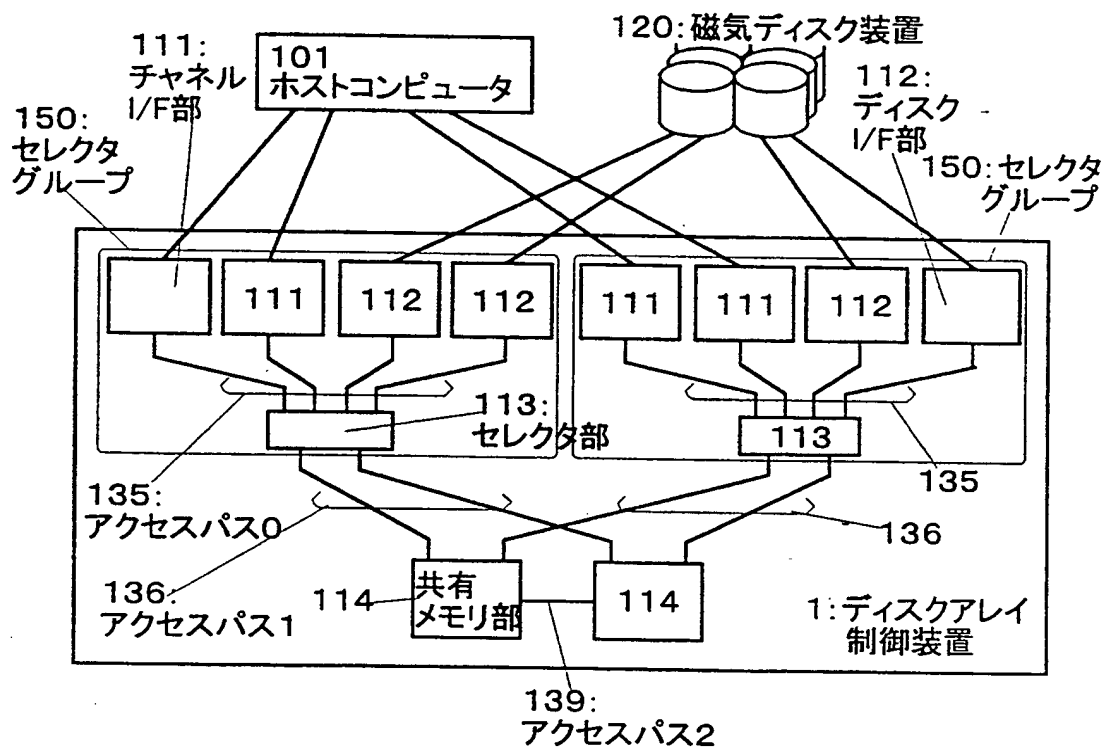
36 / 83

第36図



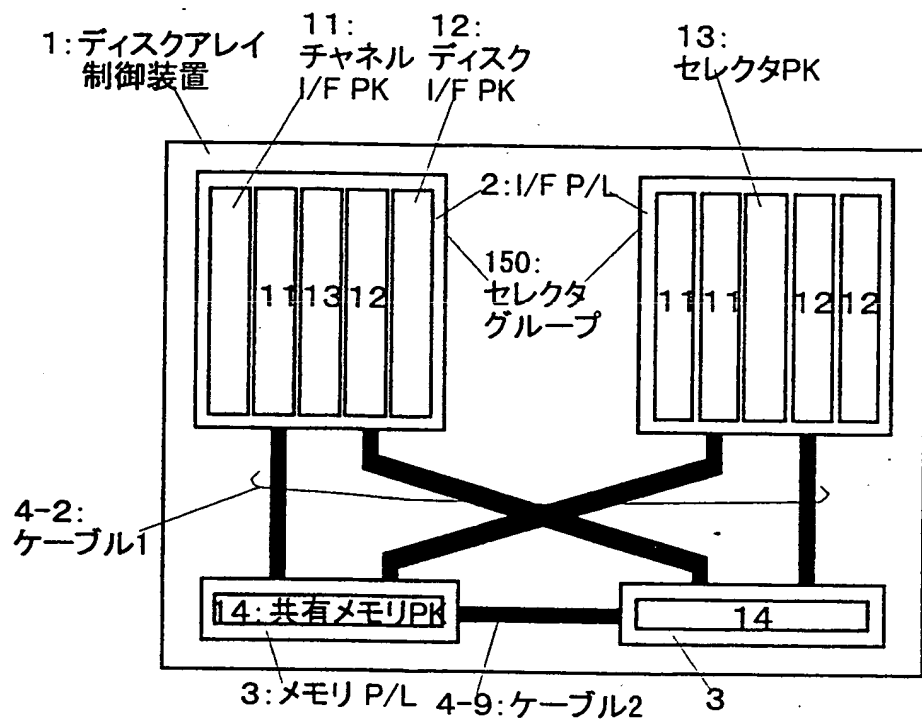
37 / 83

第37図



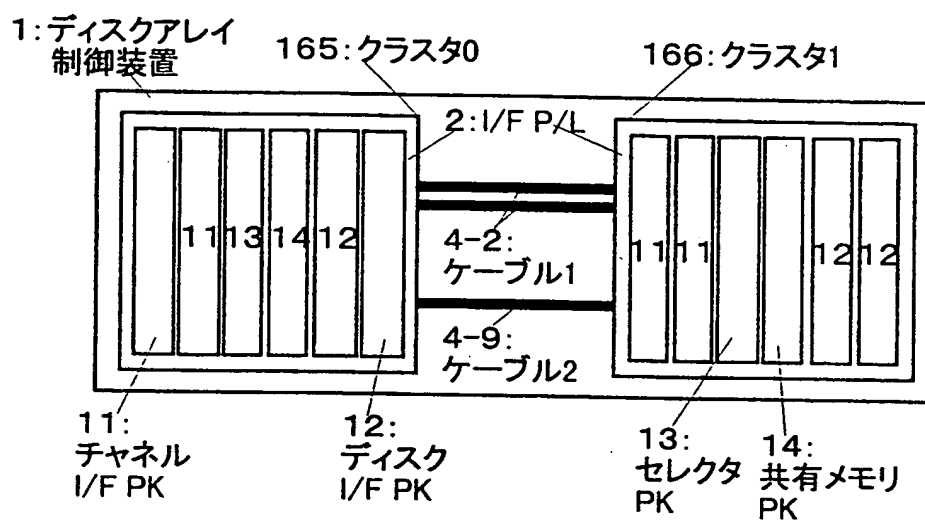
38 /83

第38図



39 /83

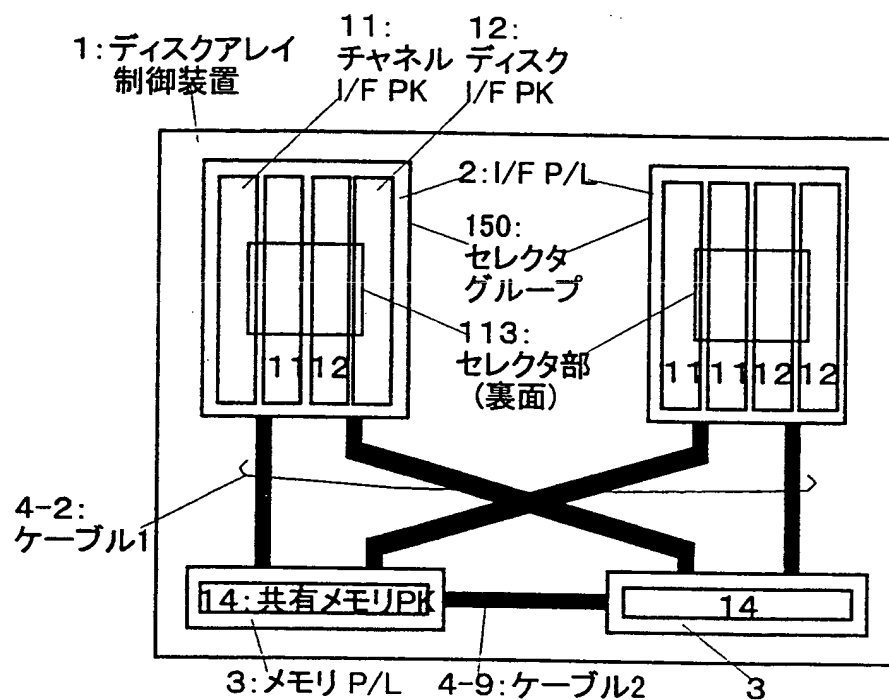
第39図





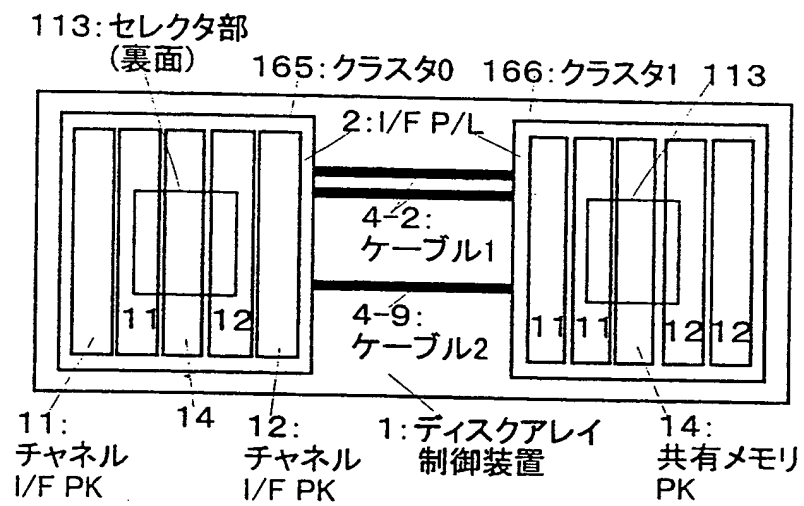
40 / 83

第40図



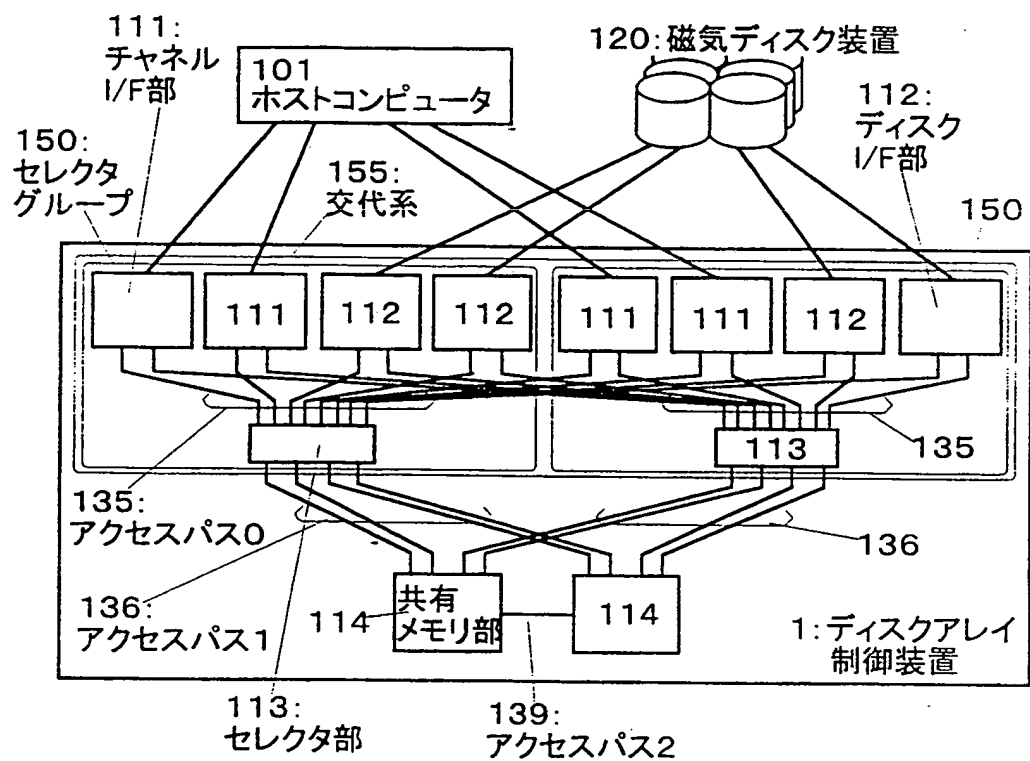
41 / 83

第41図



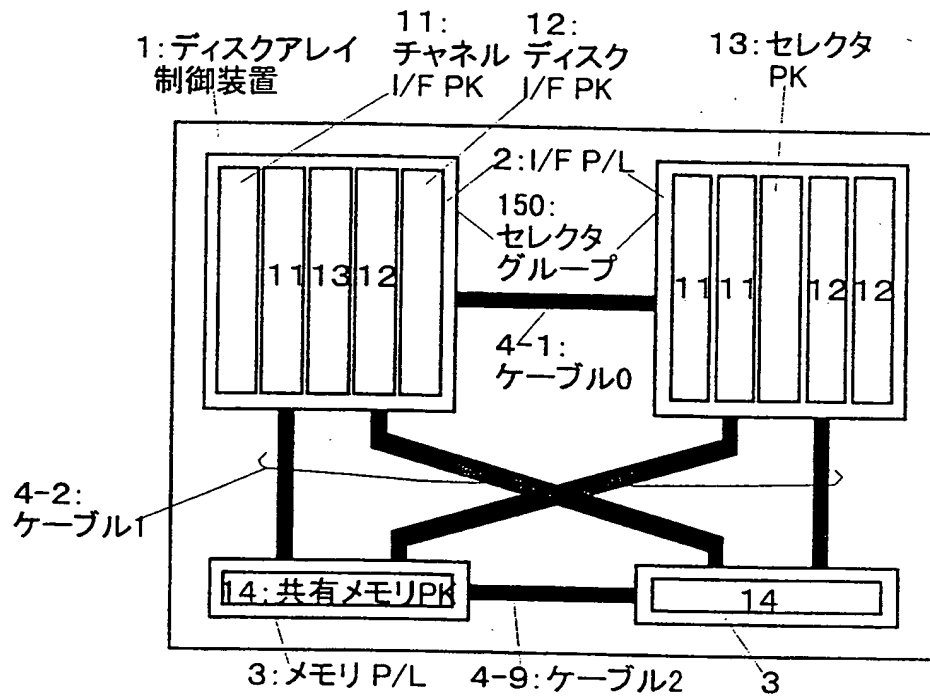
42 / 83

第42図



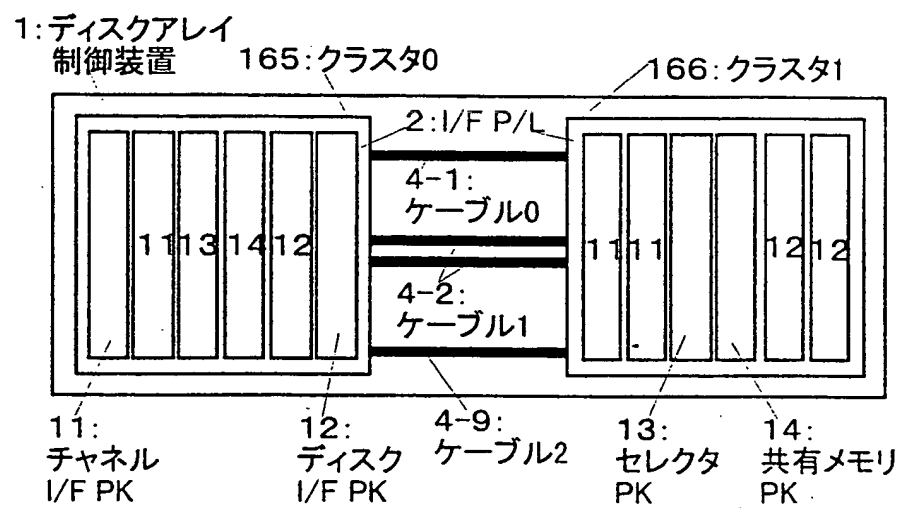
43 /83

第43図



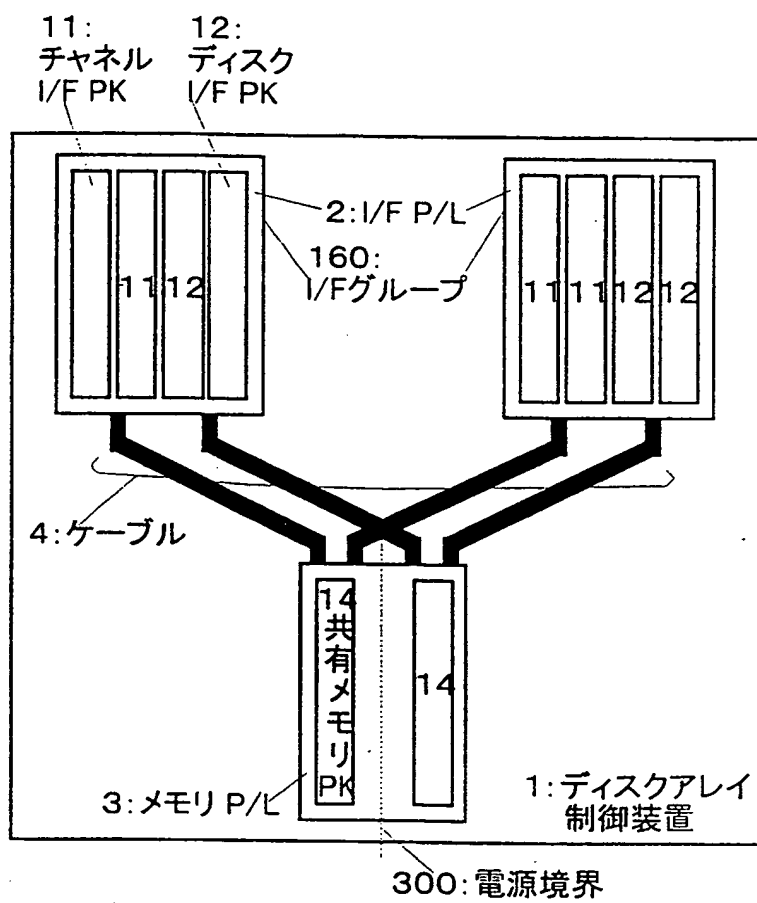
44 /83

第44図



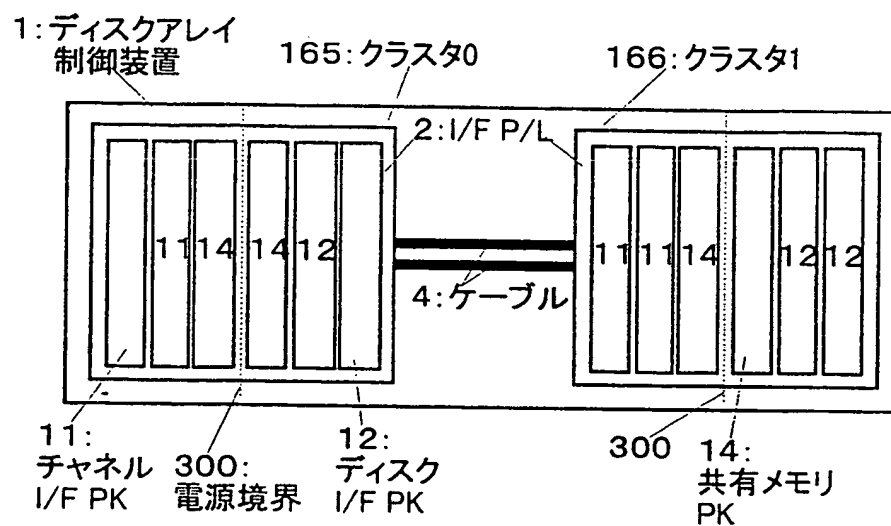
45 /83

第45図



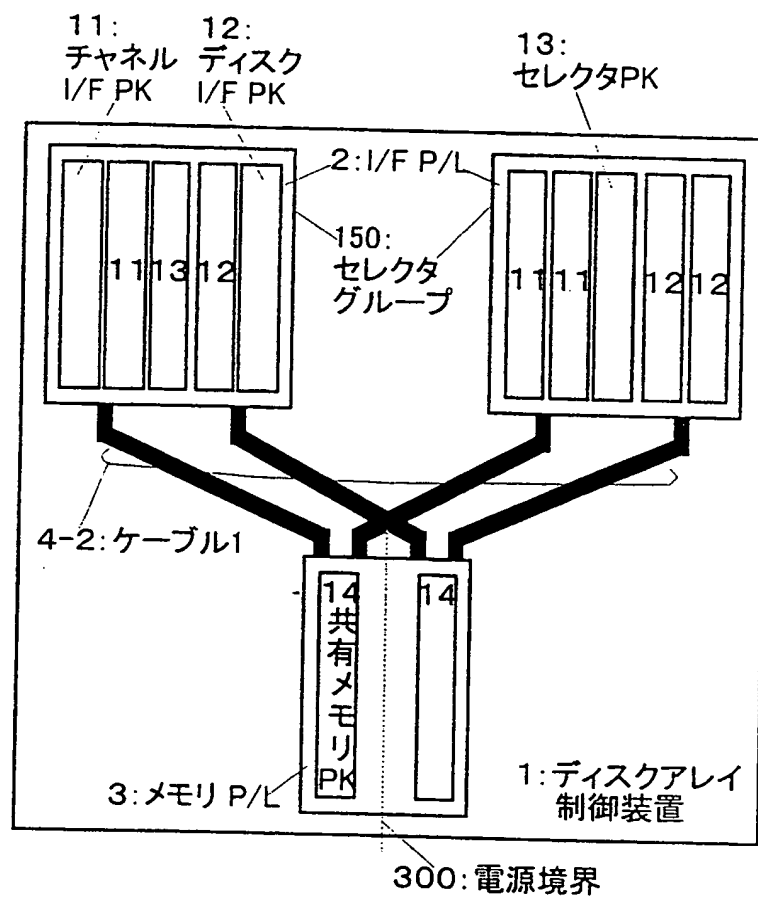
46 /83

第46図



47 / 83

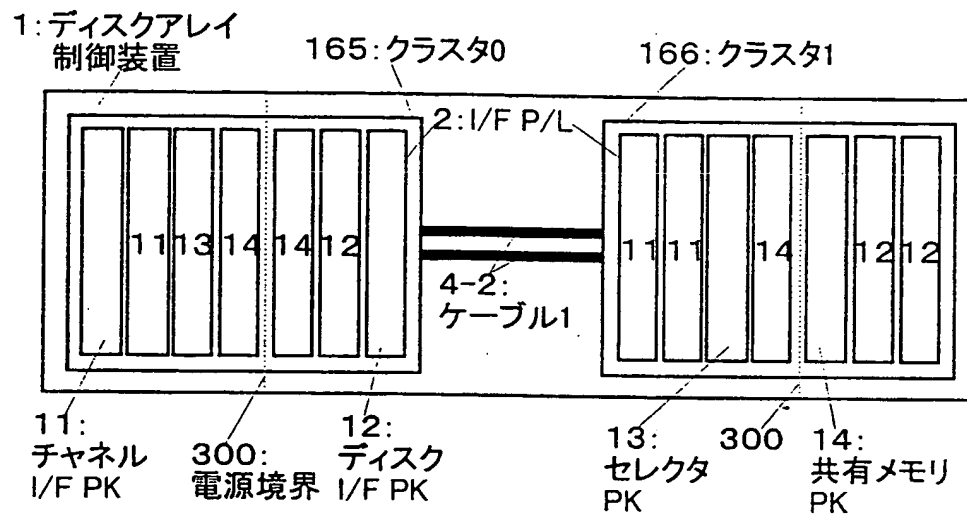
第47図





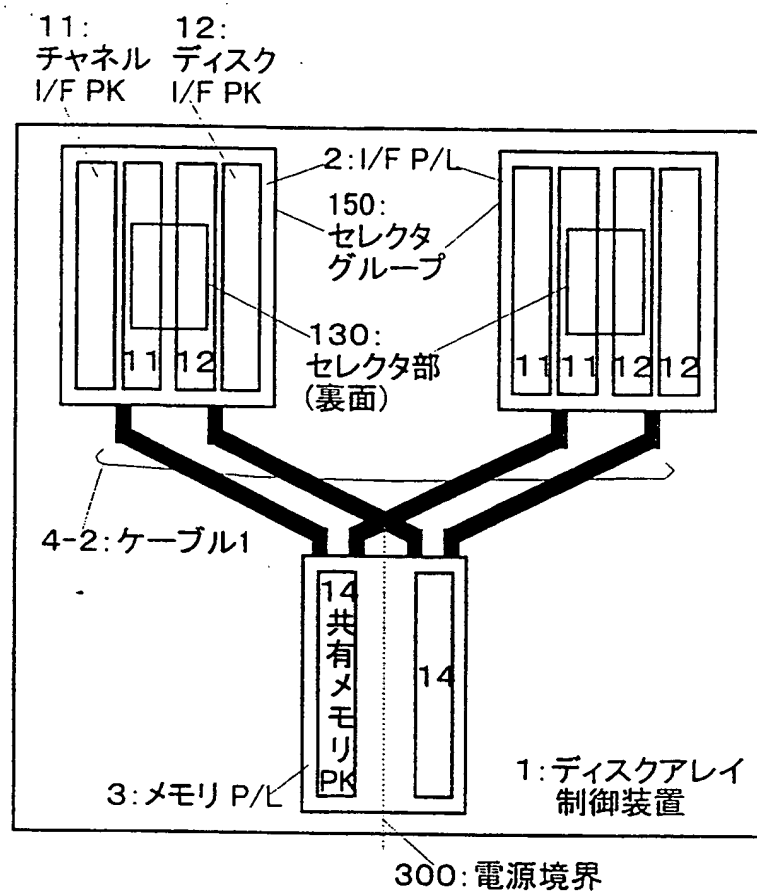
48 / 83

第48図



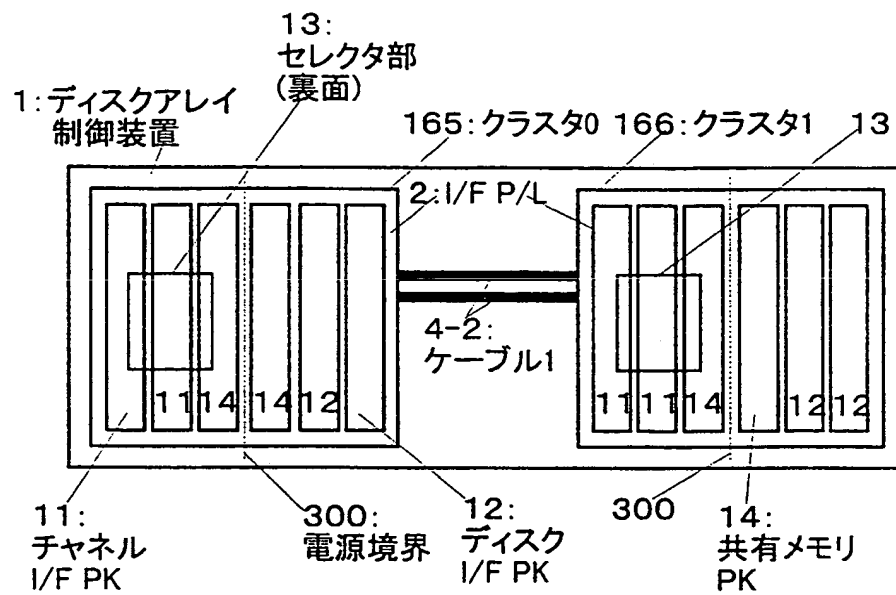
49 / 83

第49図



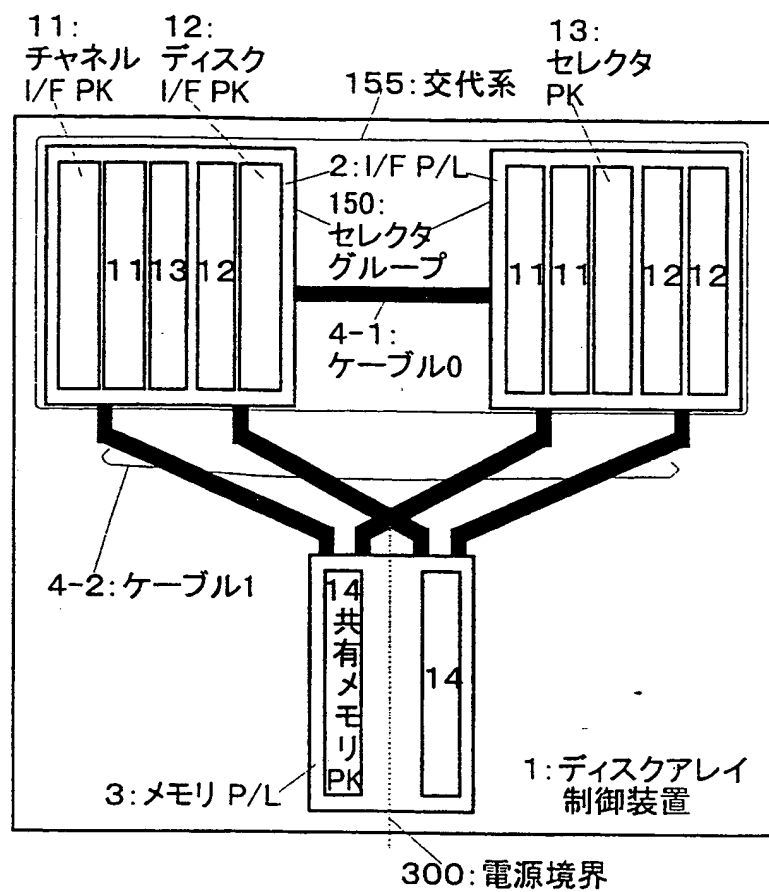
50 / 83

第50図



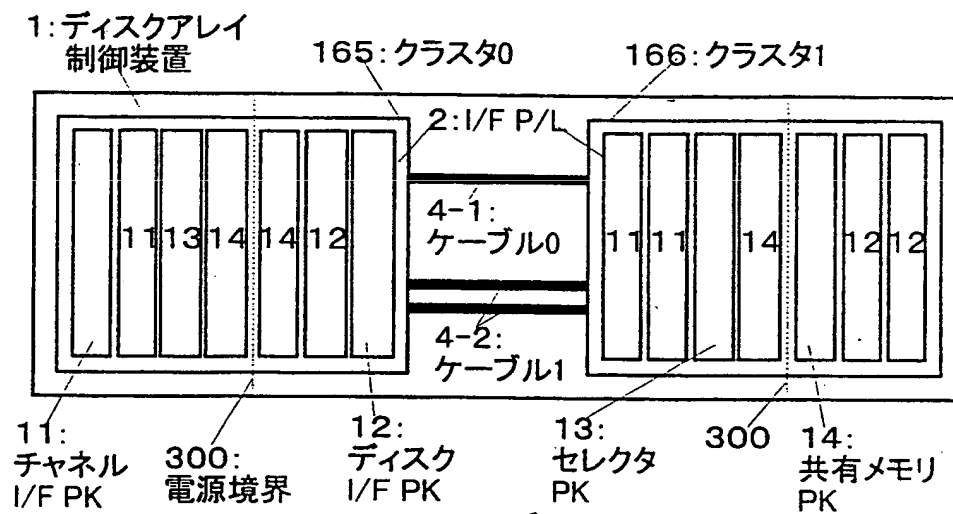
51 /83

第51図



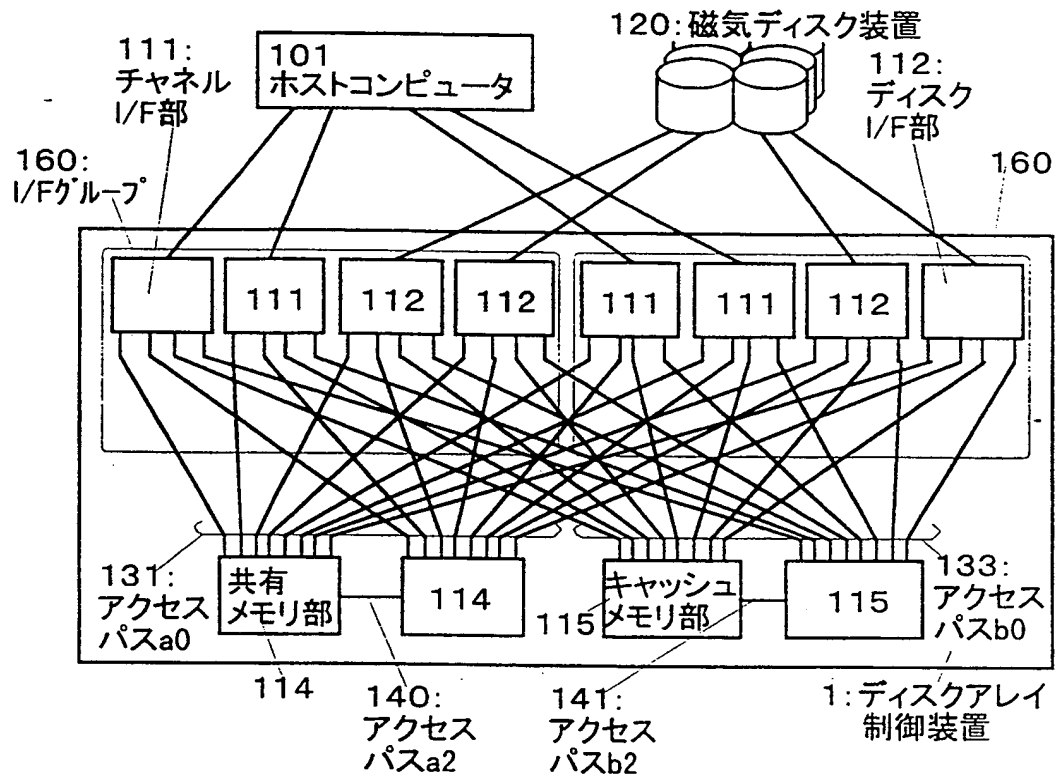
52 / 83

第52図



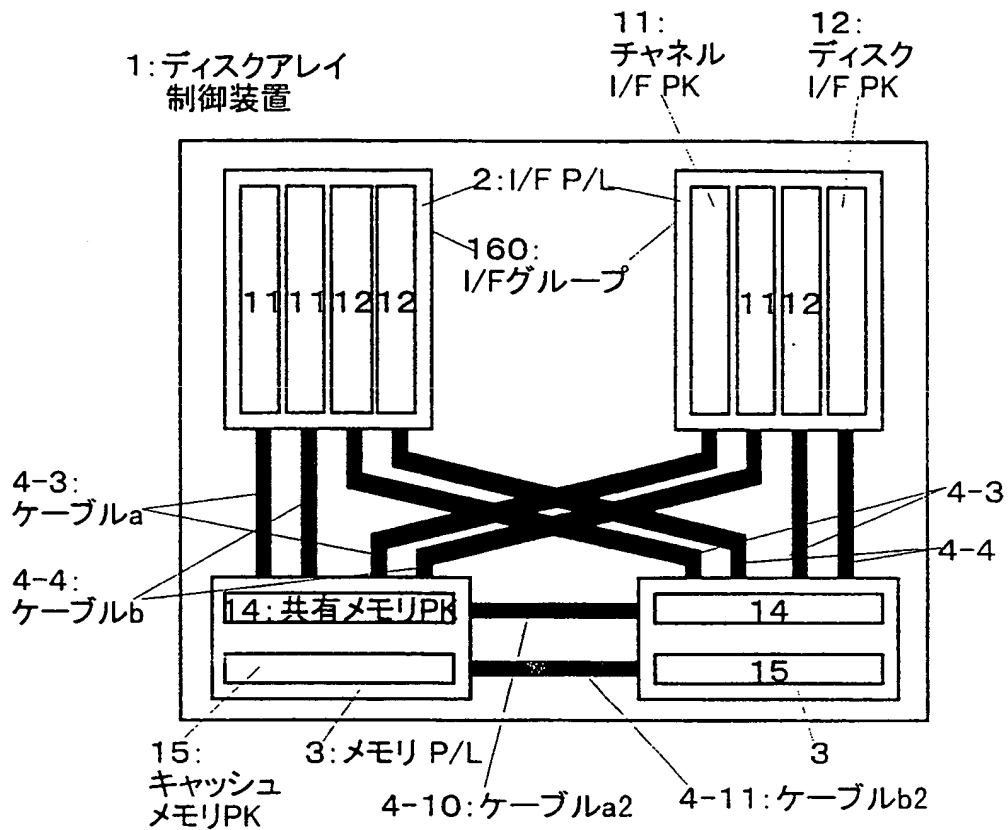
53 / 83

第53図



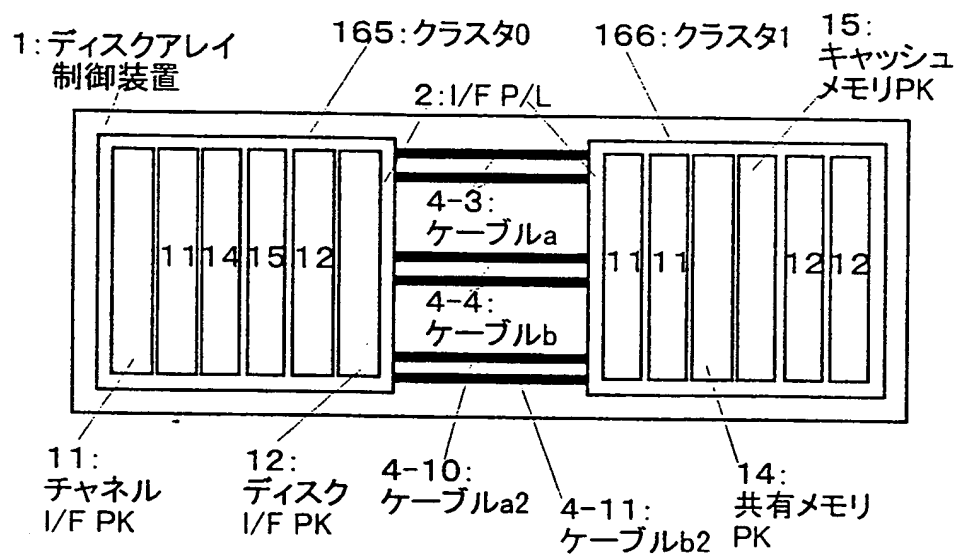
54 / 83

第54図



55 / 83

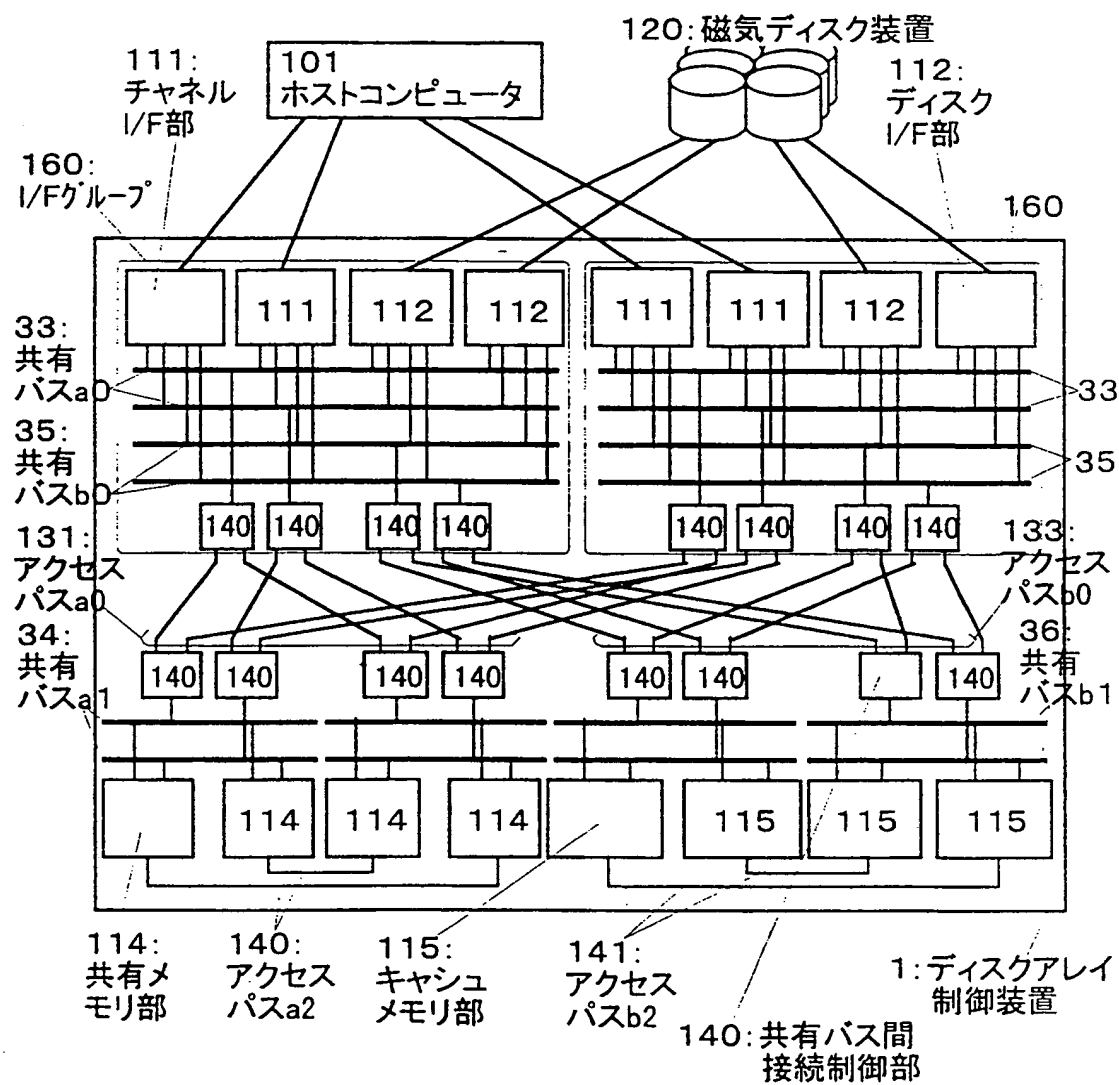
第55図





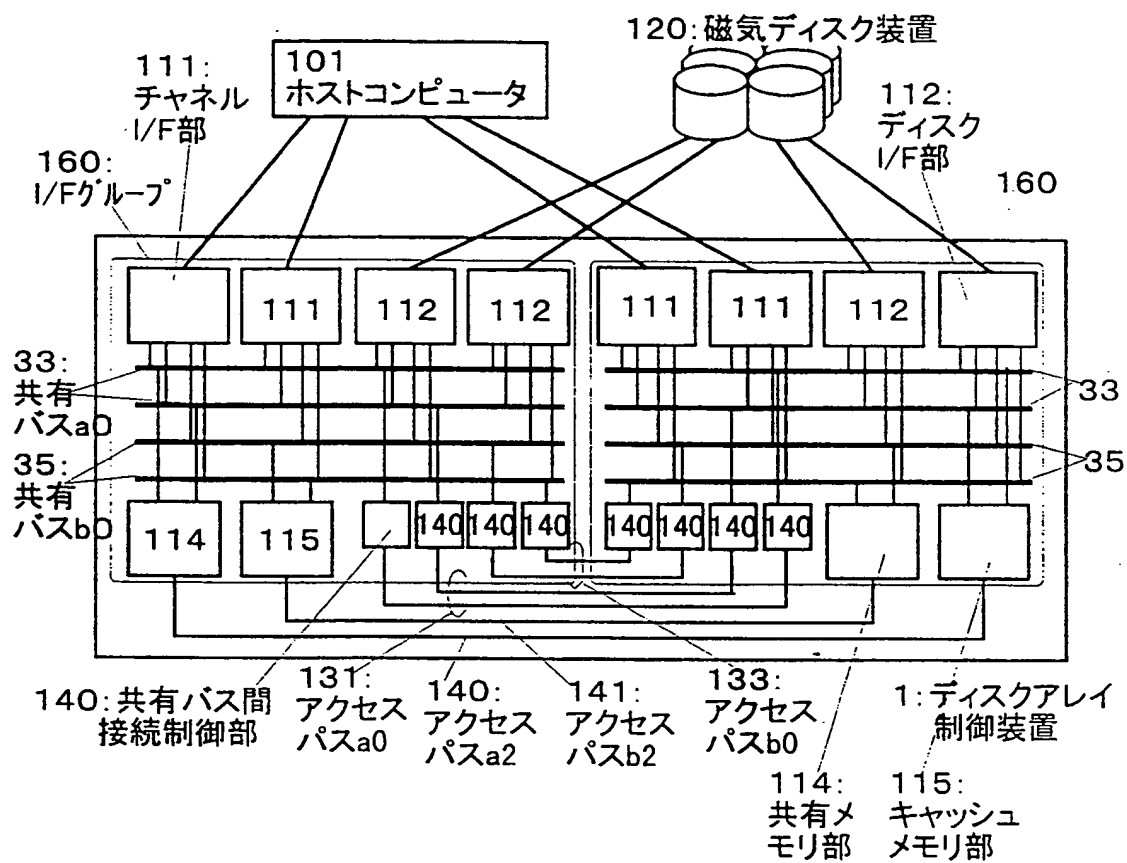
56 / 83

第56図



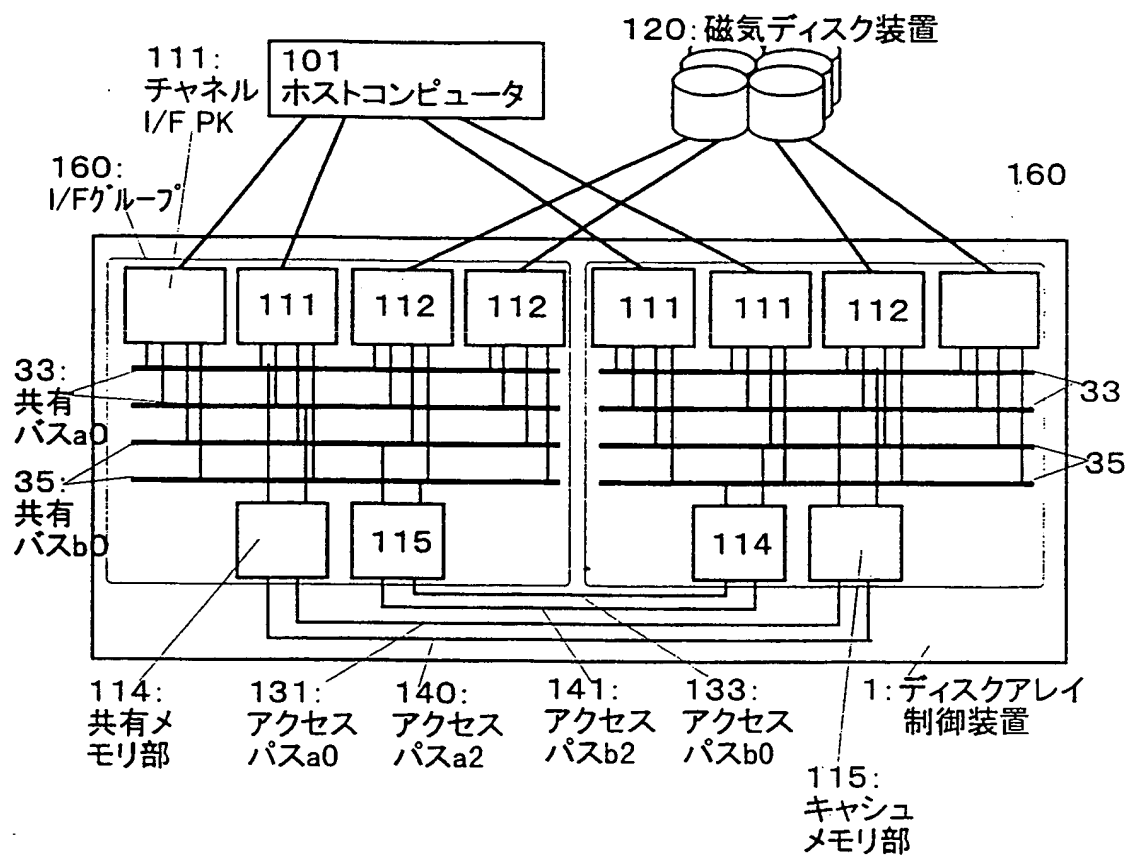
57 / 83

第57図



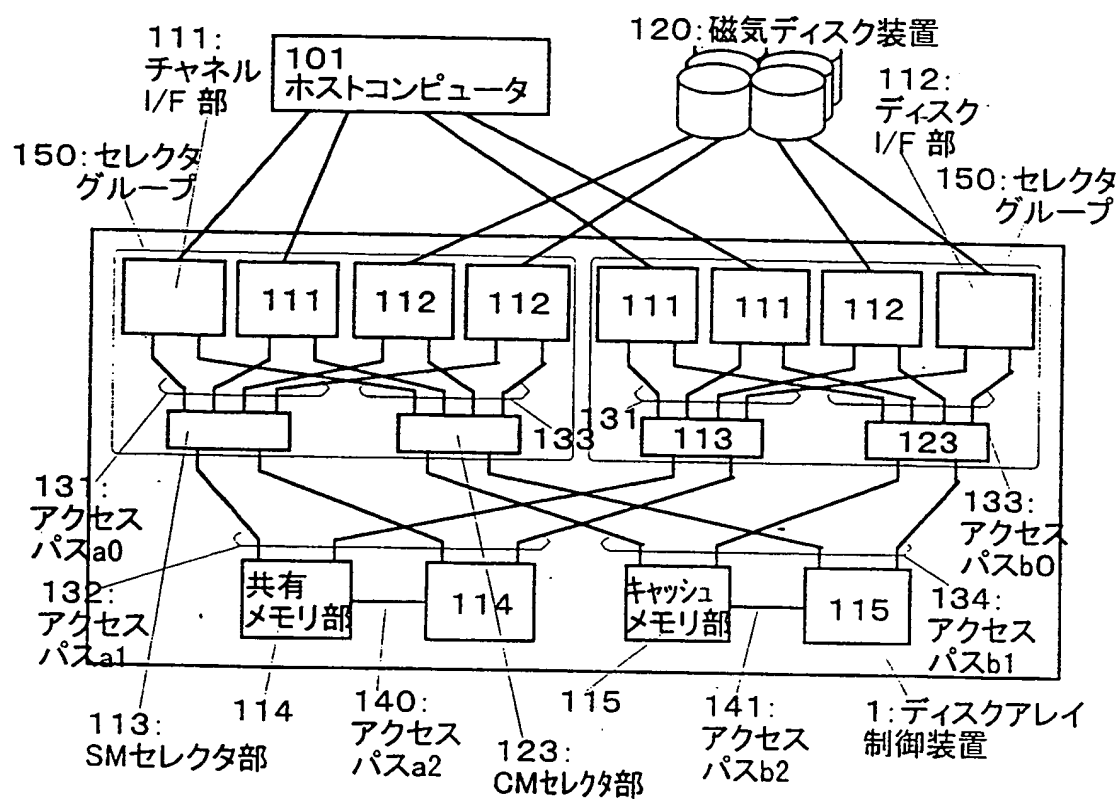
58 / 83

第58図



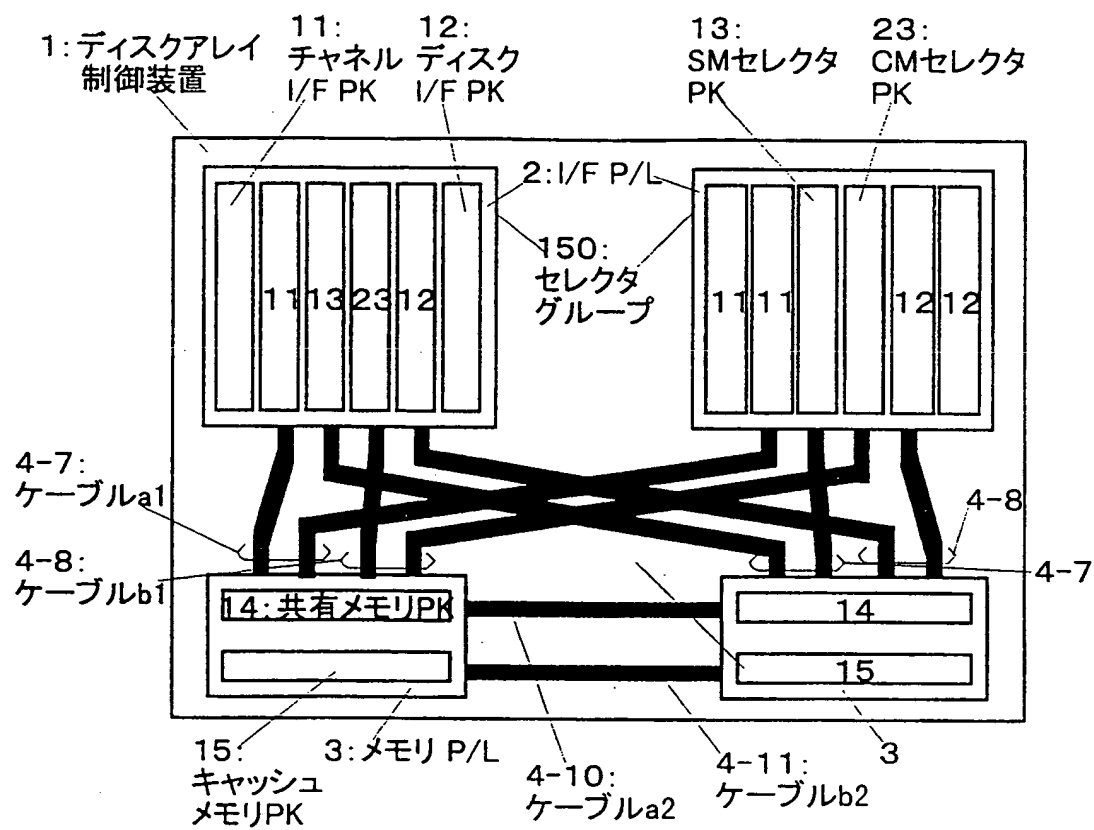
59 / 83

第59図



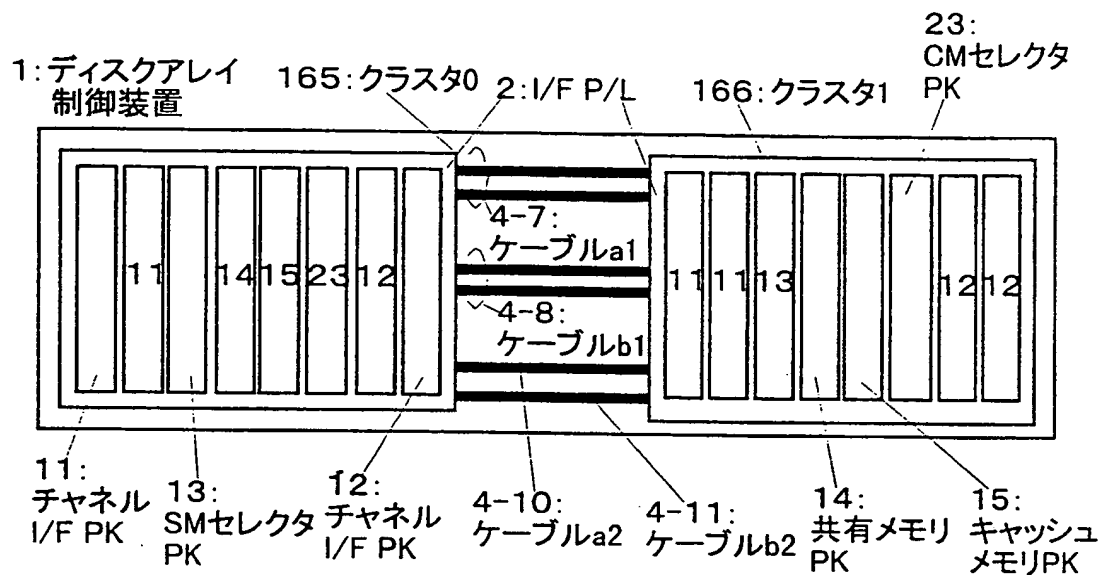
60 / 83

第60図



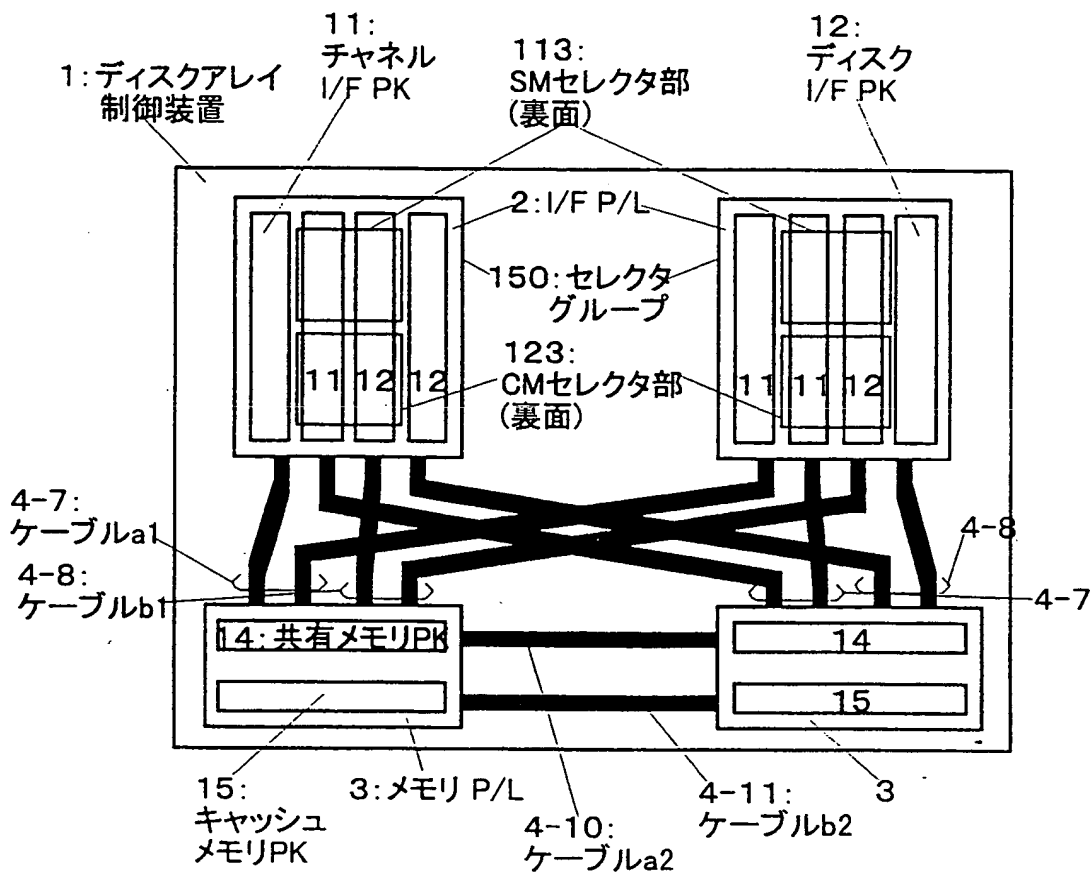
61 / 83

第61図



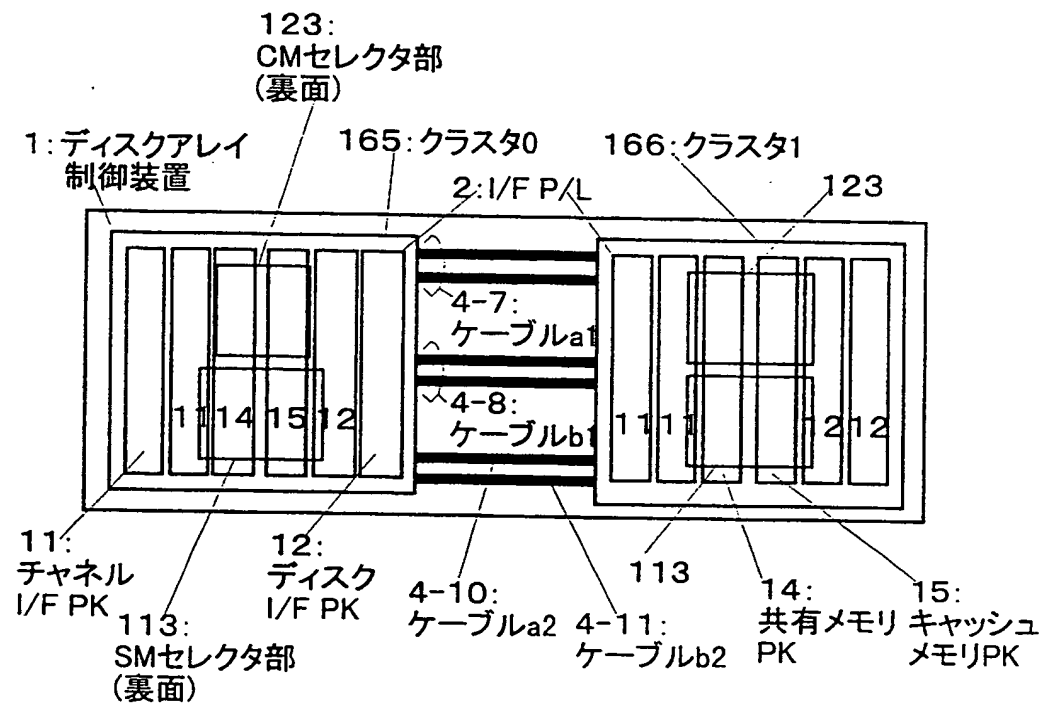
62 /83

第62図



63 /83

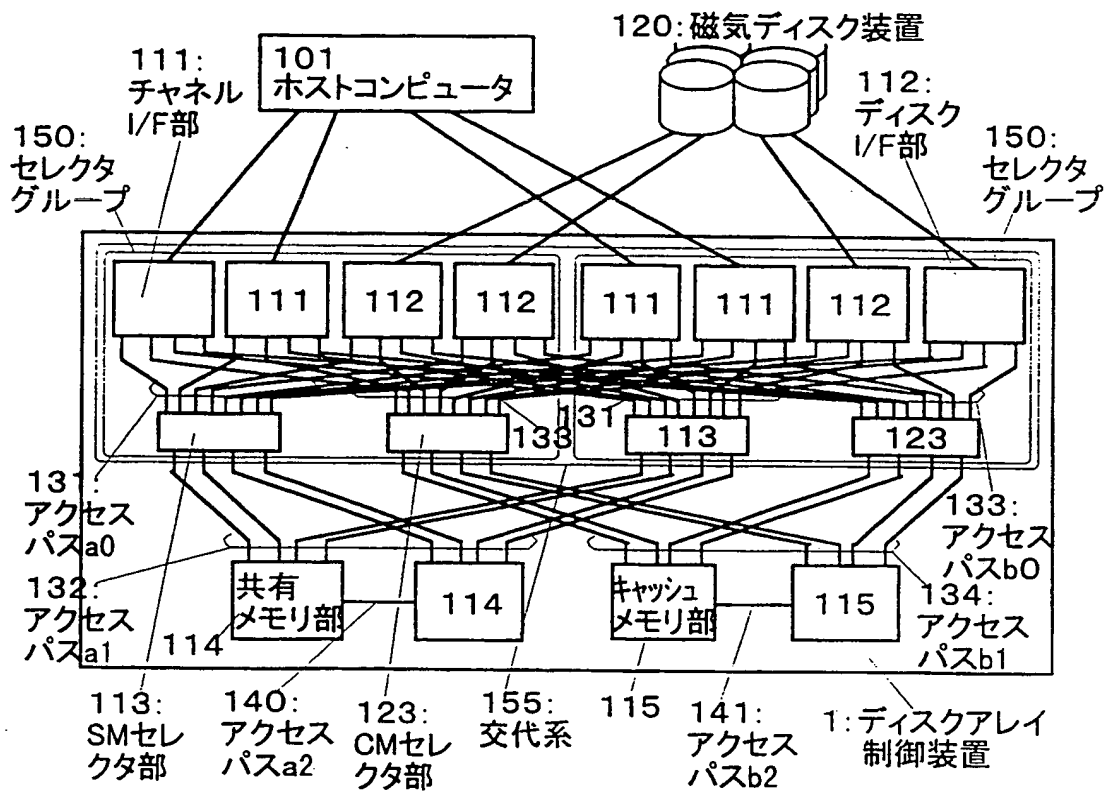
第63図





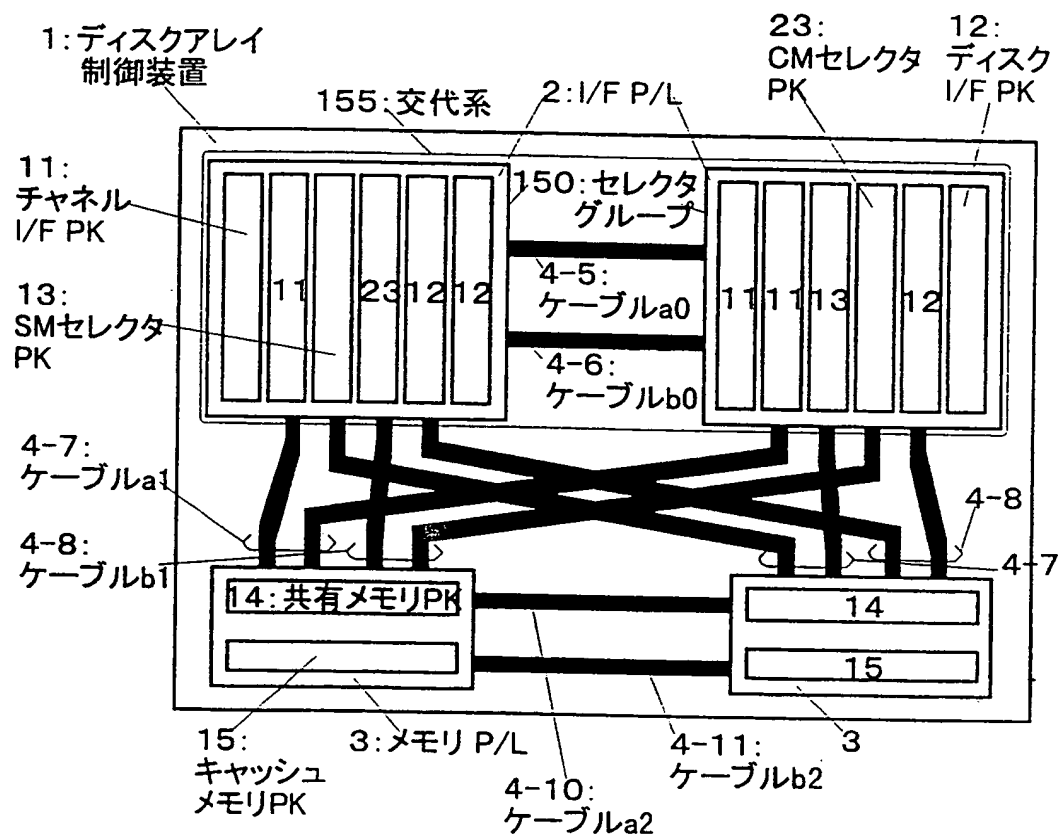
64 /83

第64図



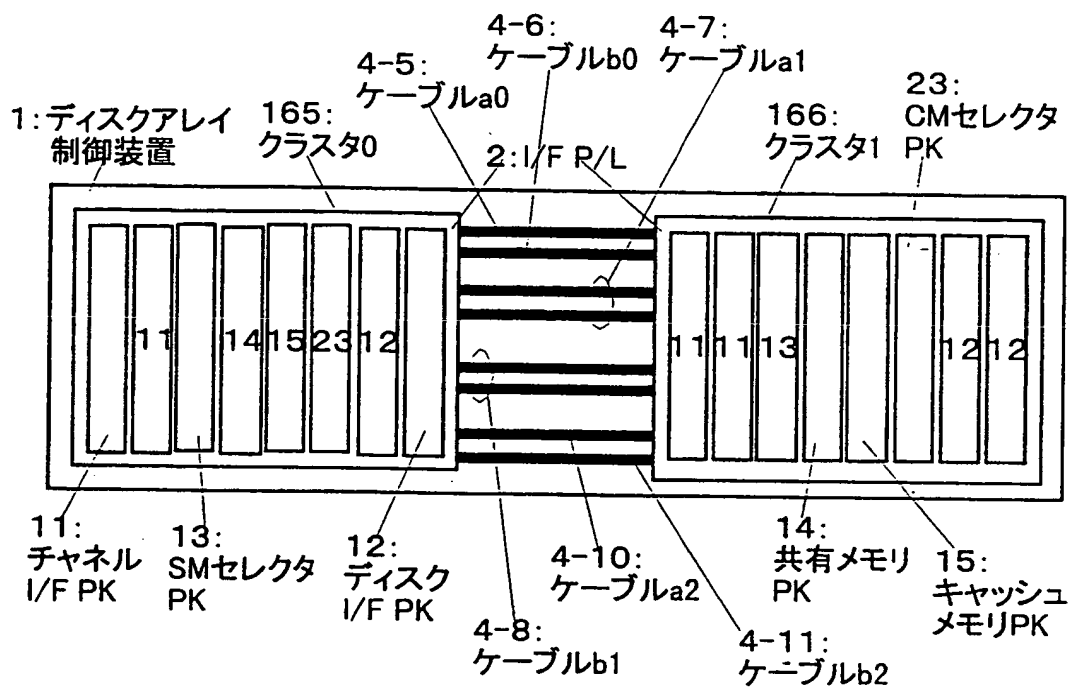
65 /83

第65図



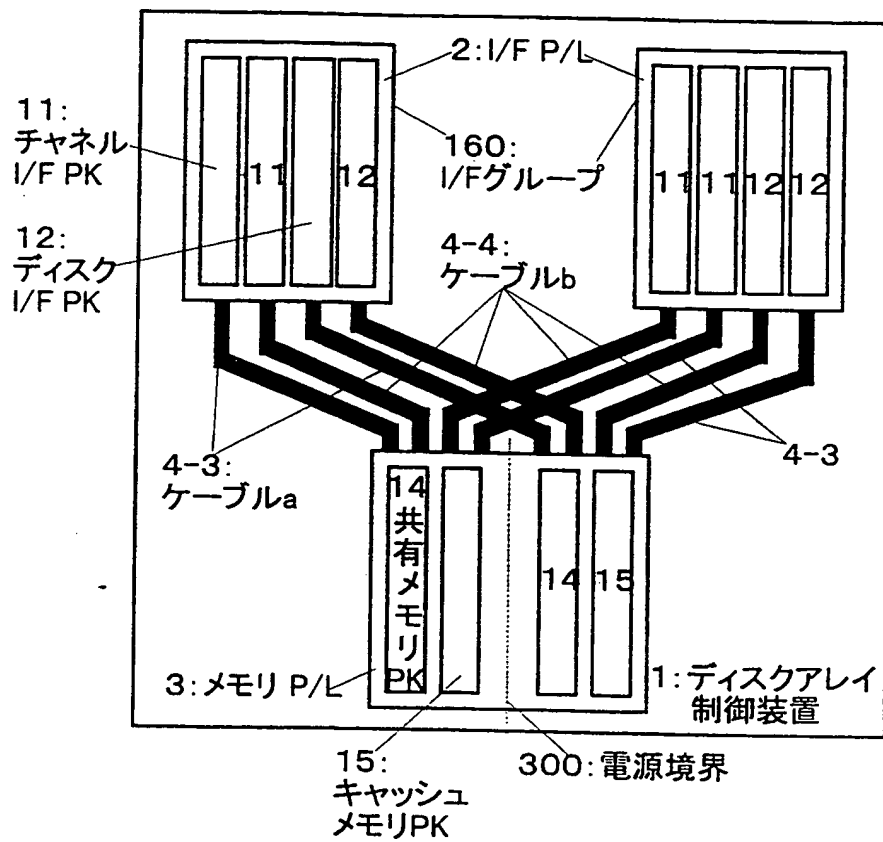
66 /83

第66図



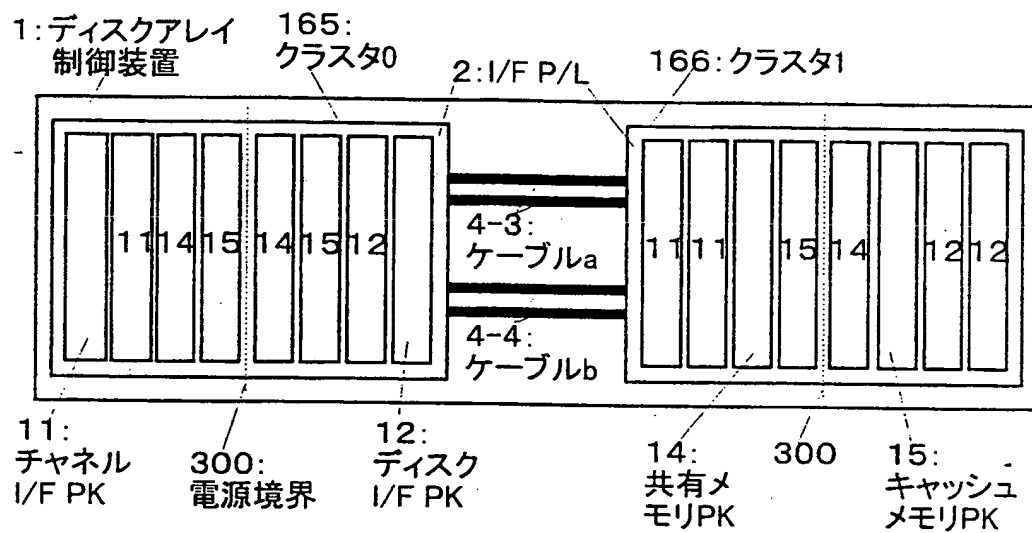
67 / 83

第67図



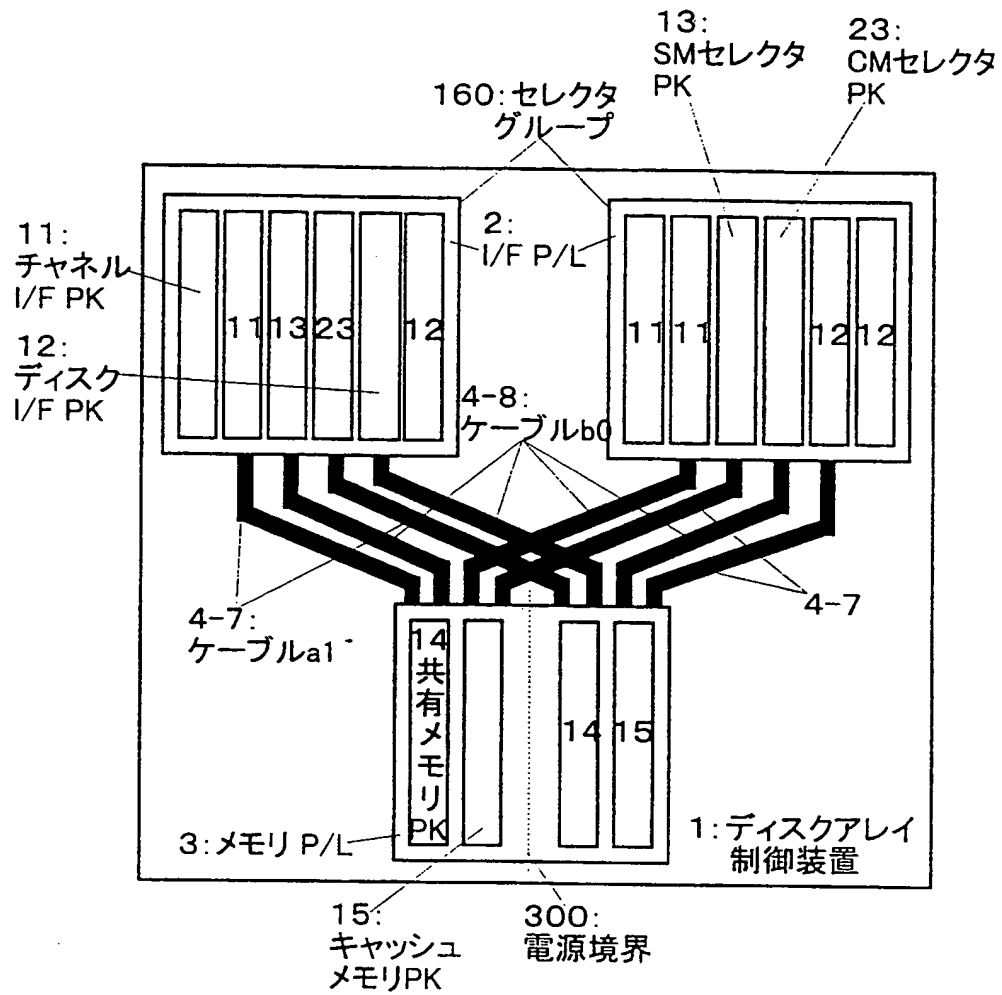
68 / 83

第68図



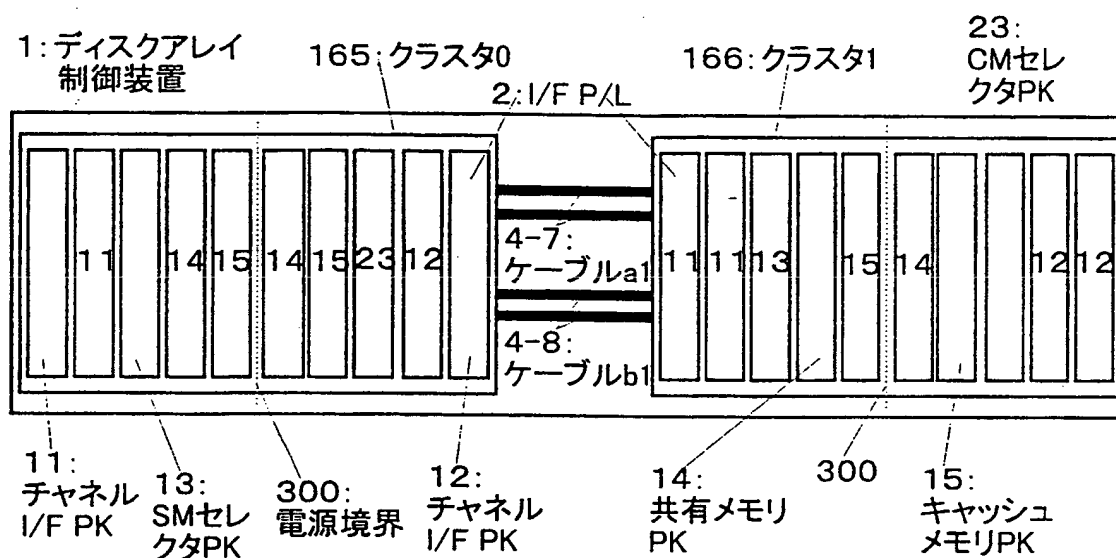
69 / 83

第69図



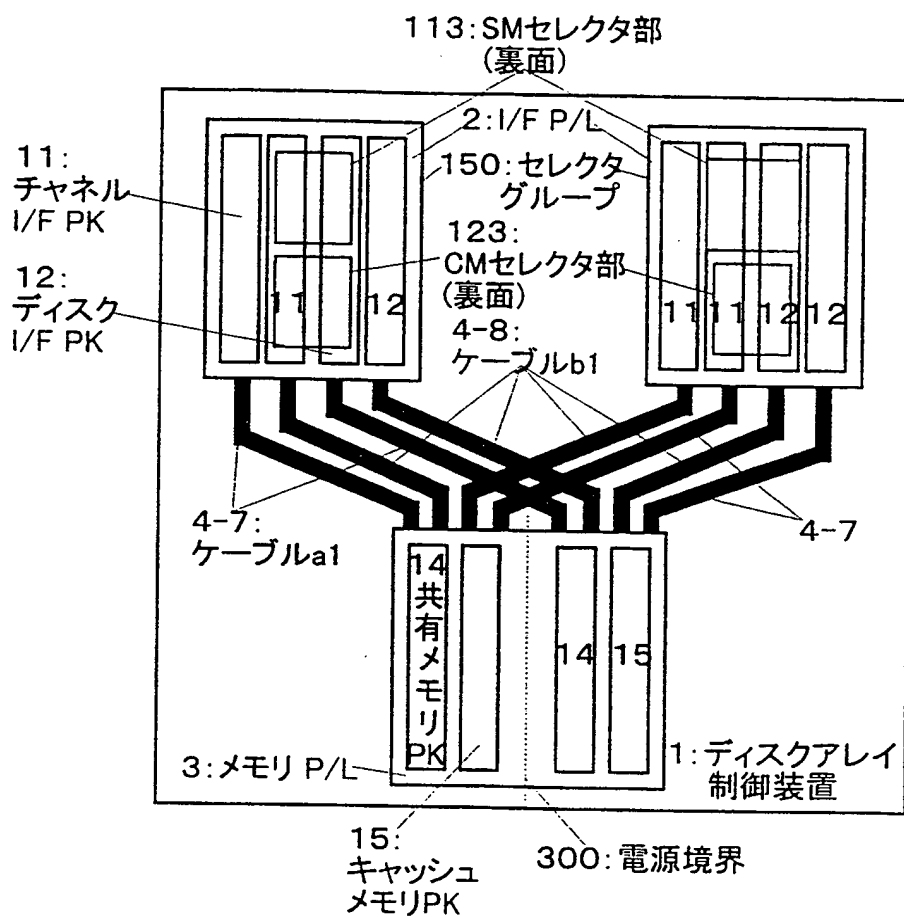
70 /83

第70図



71 / 83

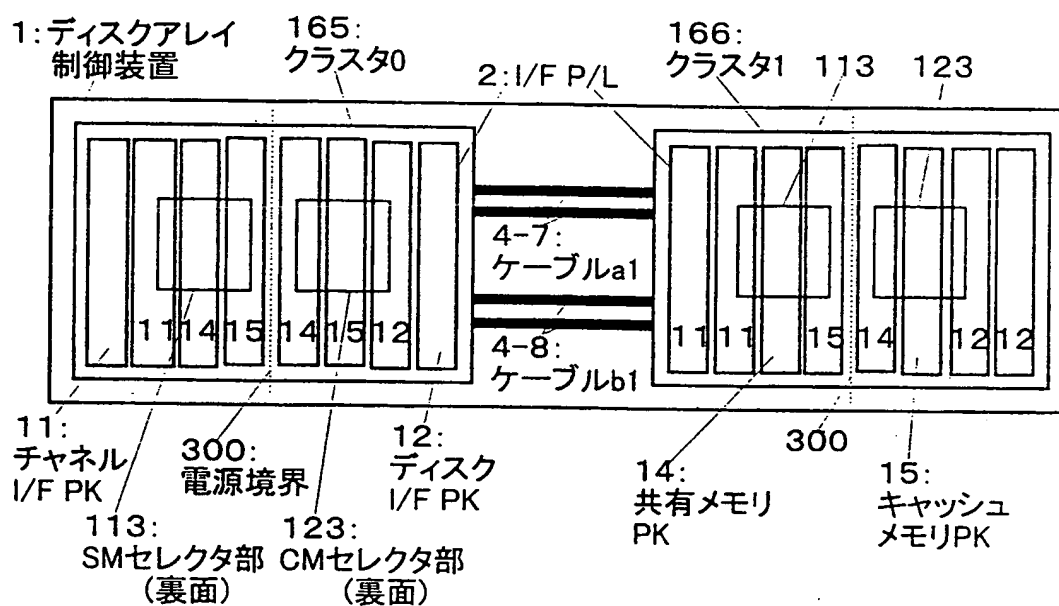
第71図





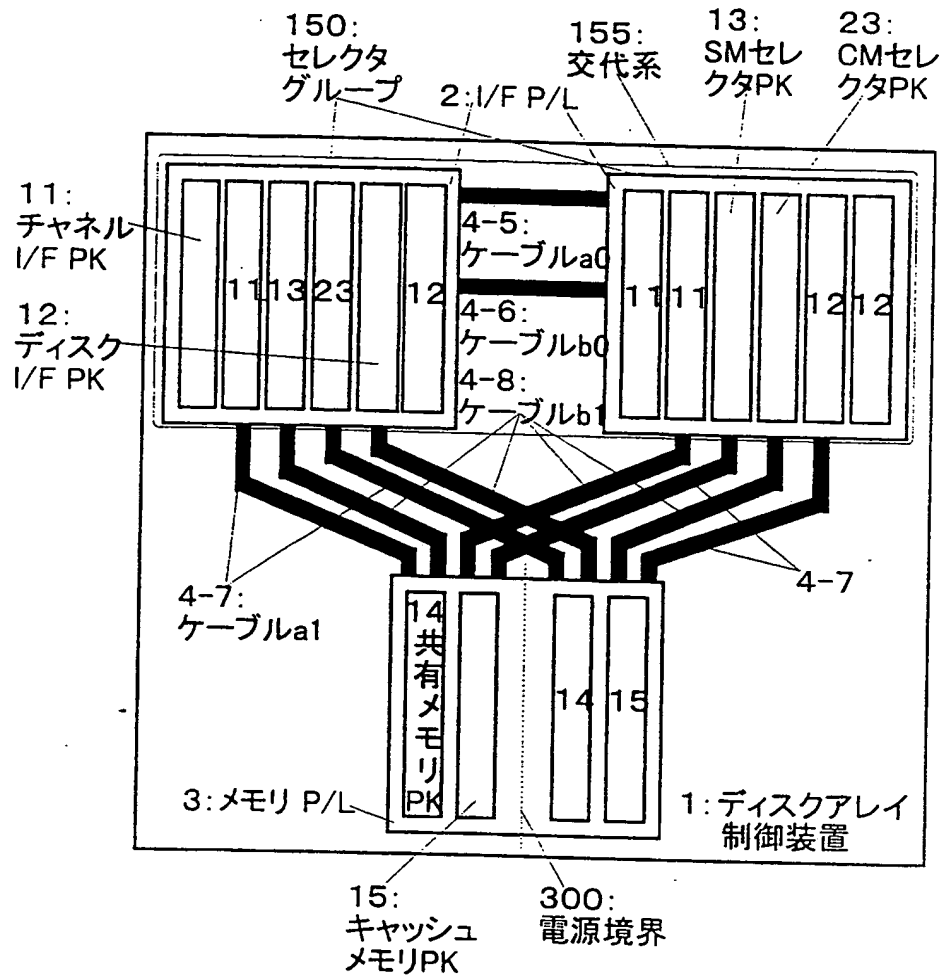
72 / 83

第72図



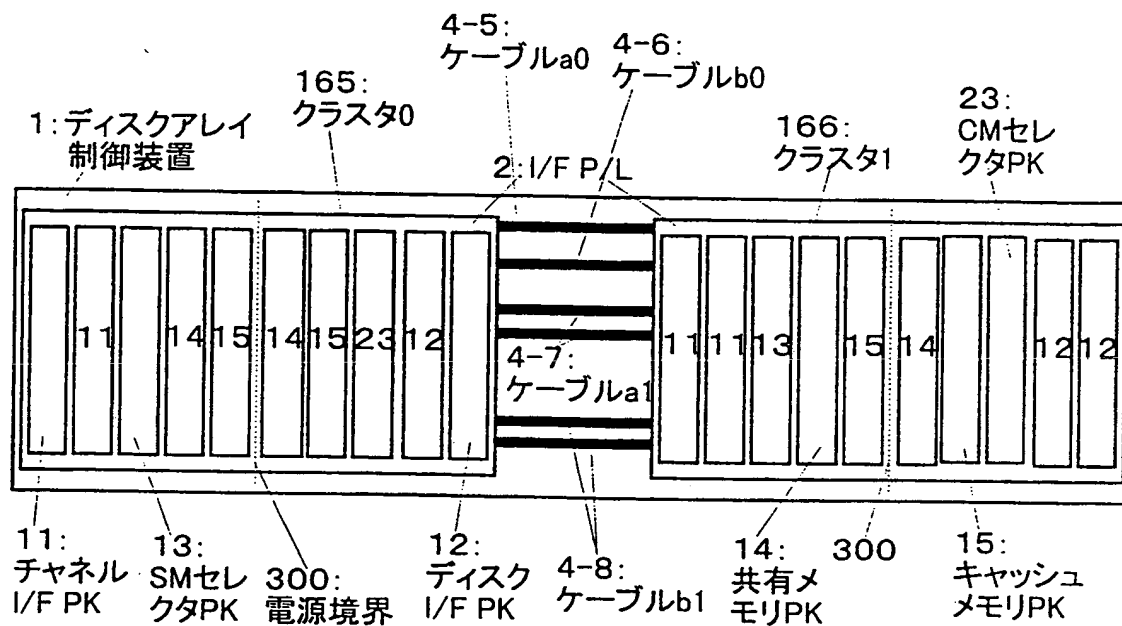
73 /83

第73図



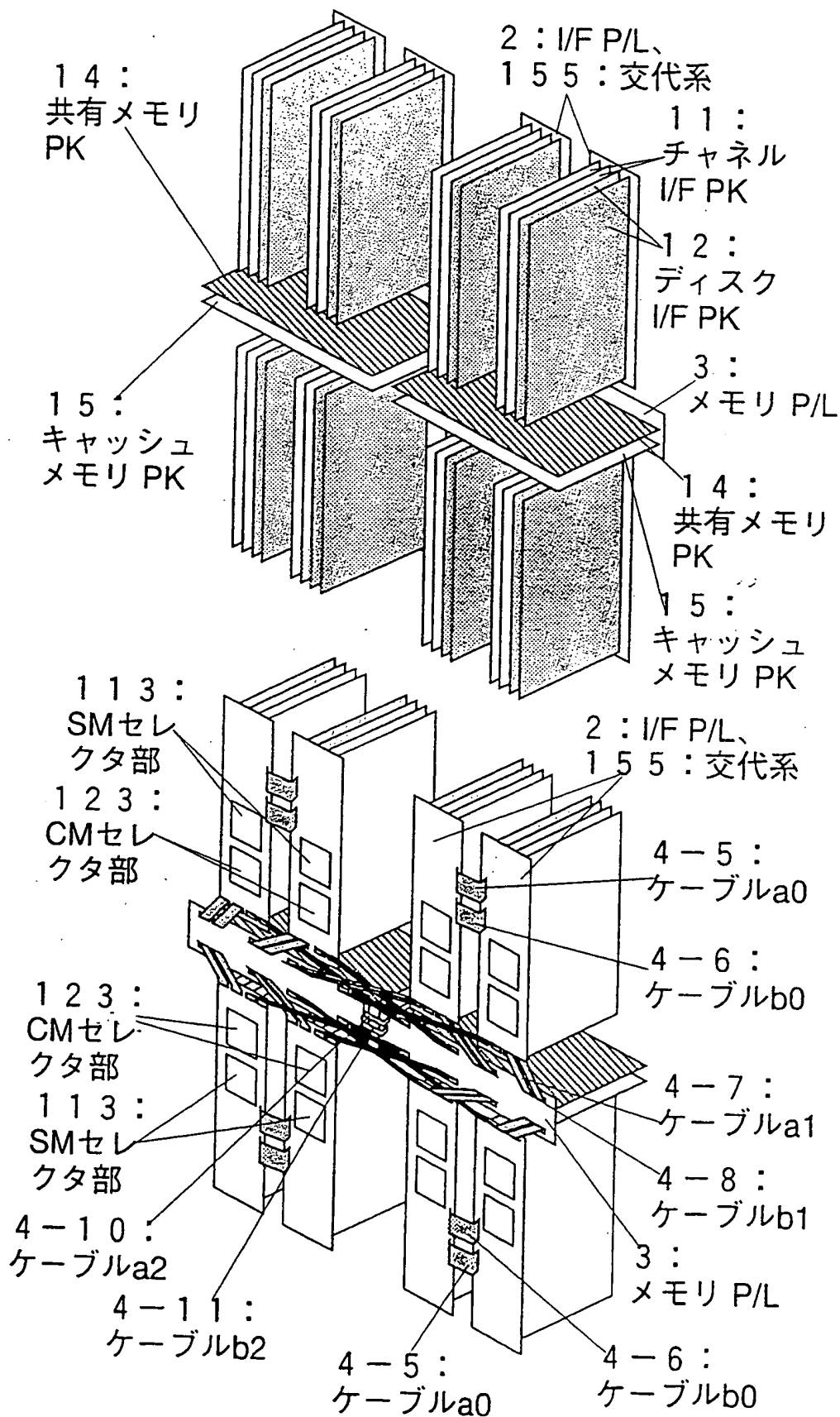
74 / 83

第74図



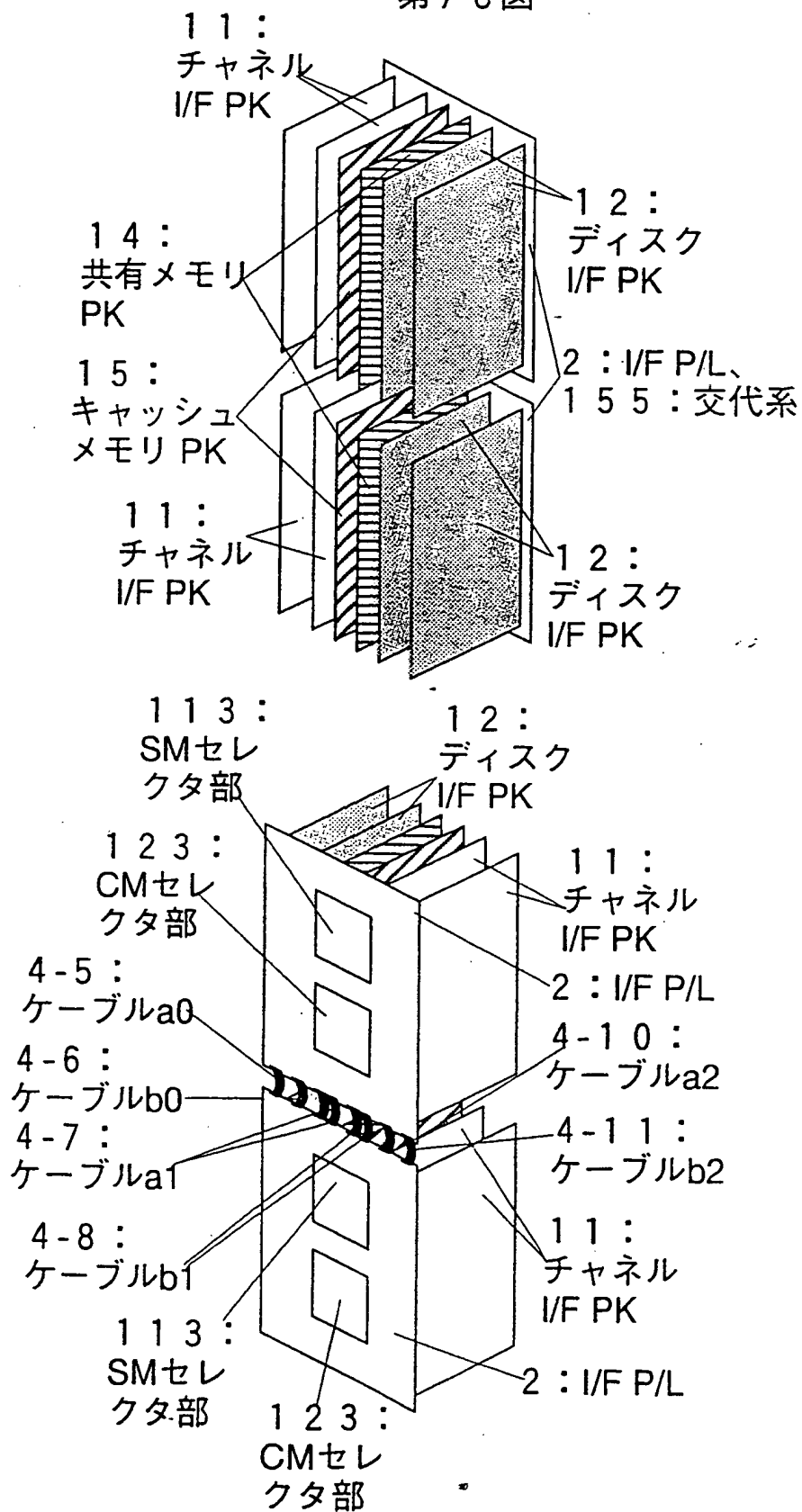
75 / 83

第 7 5 図



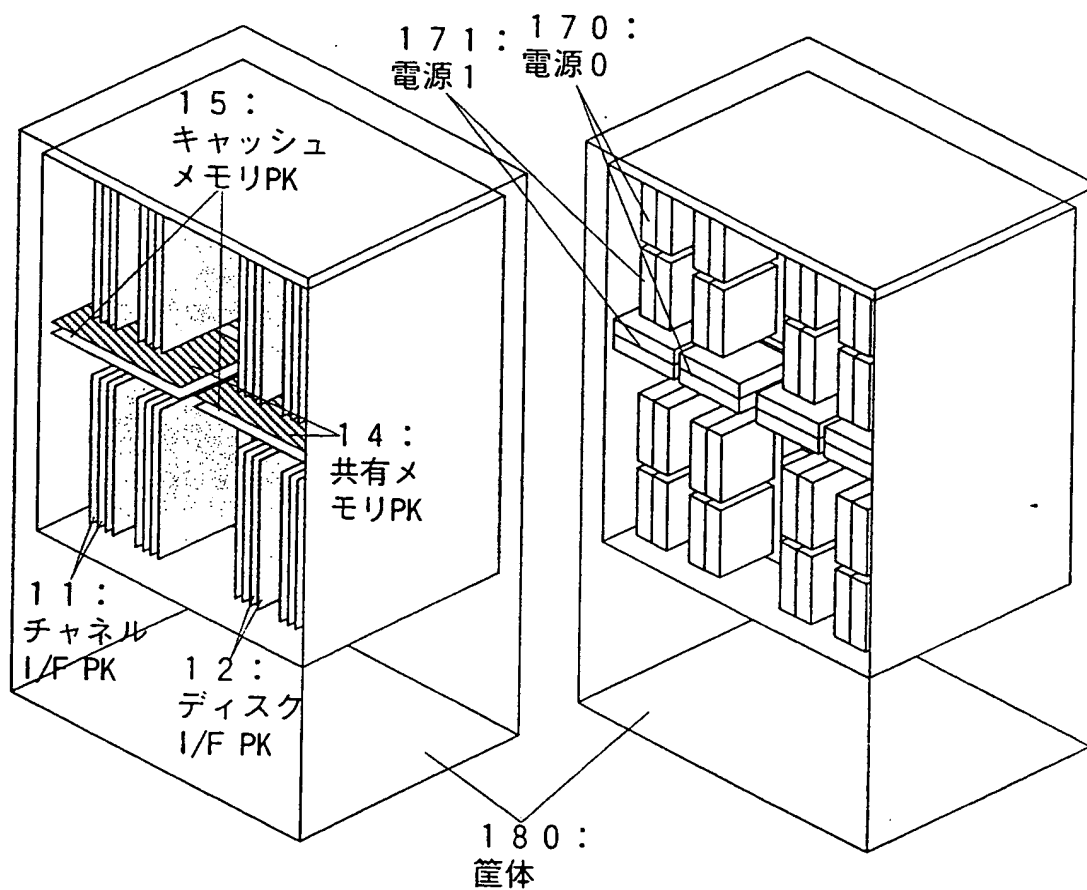
76 / 83

第76図



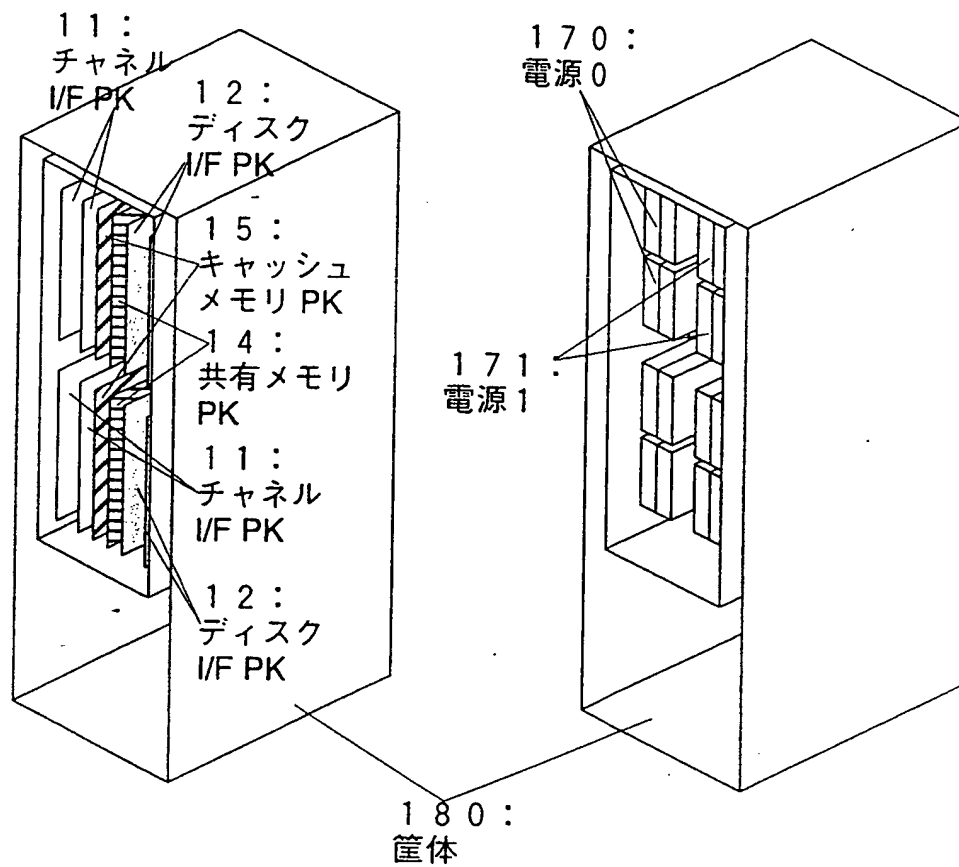
77/83

第77図



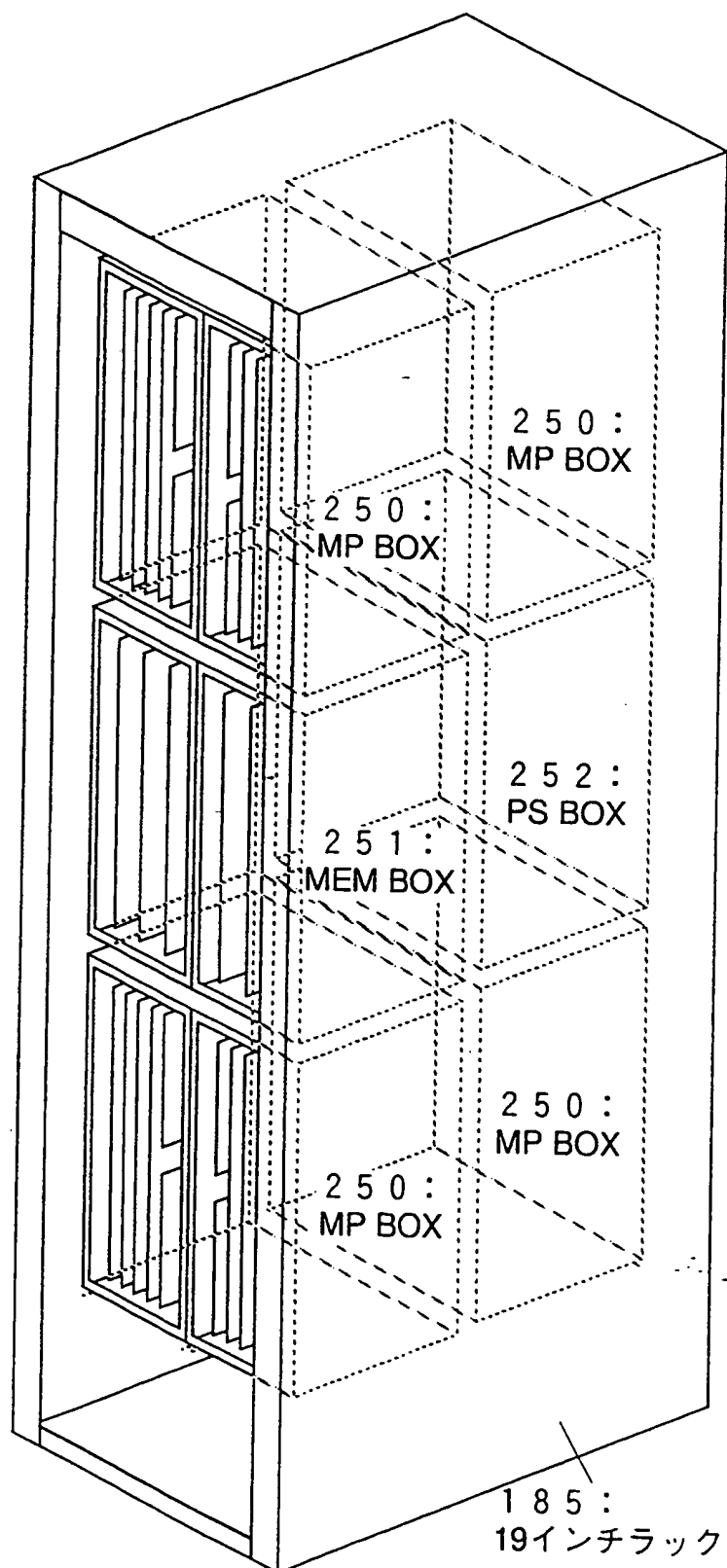
78 /83

第78図



79 / 83

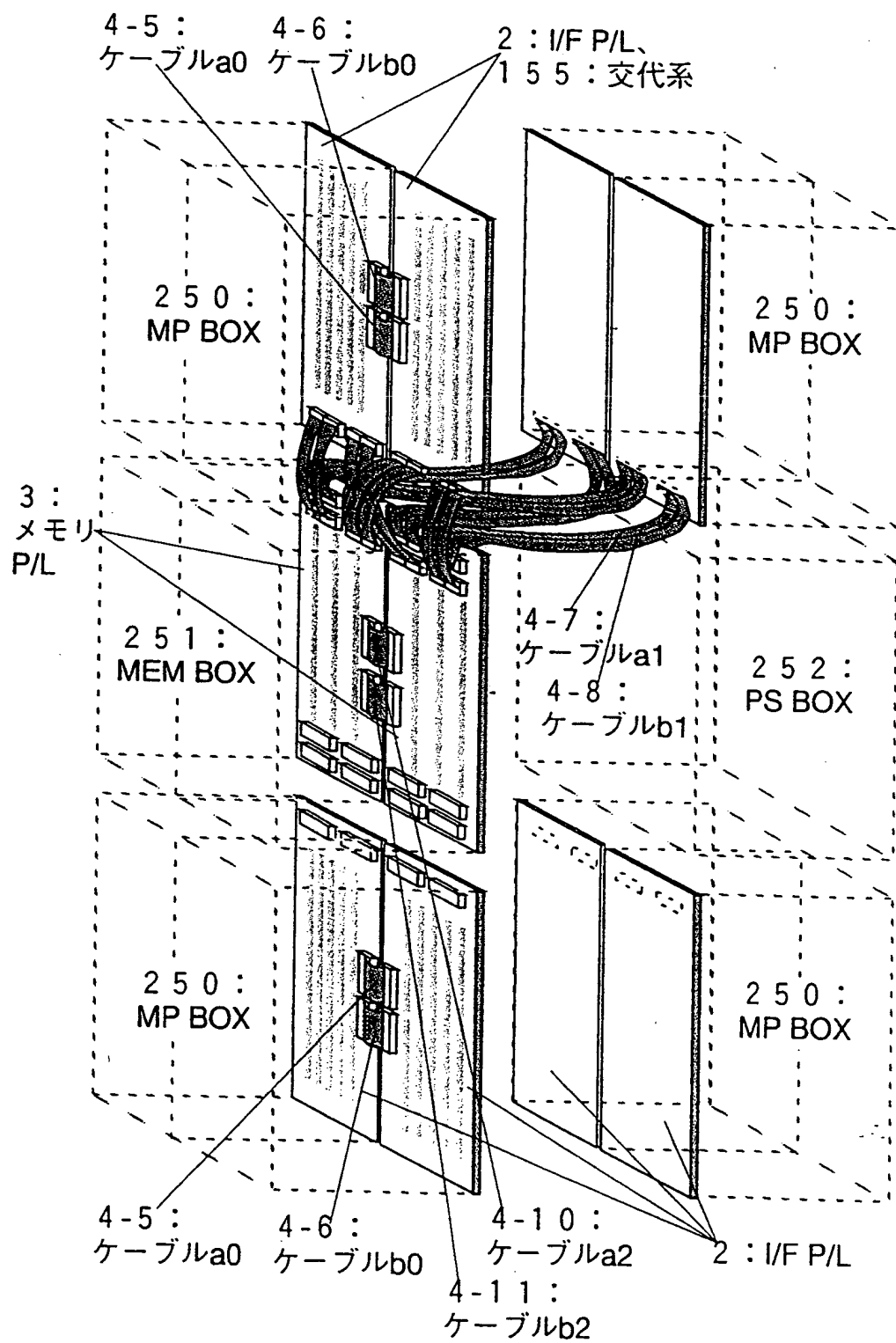
第 7 9 図





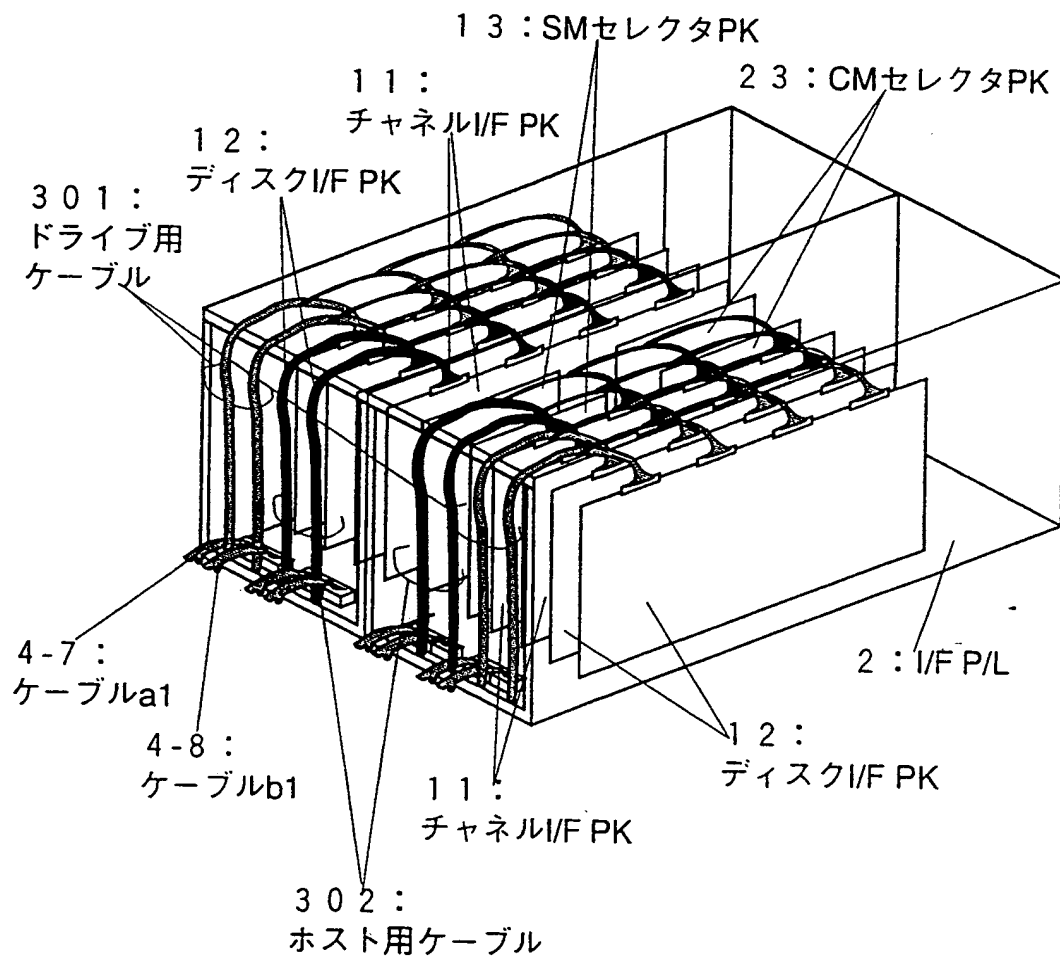
80 / 83

第 80 図



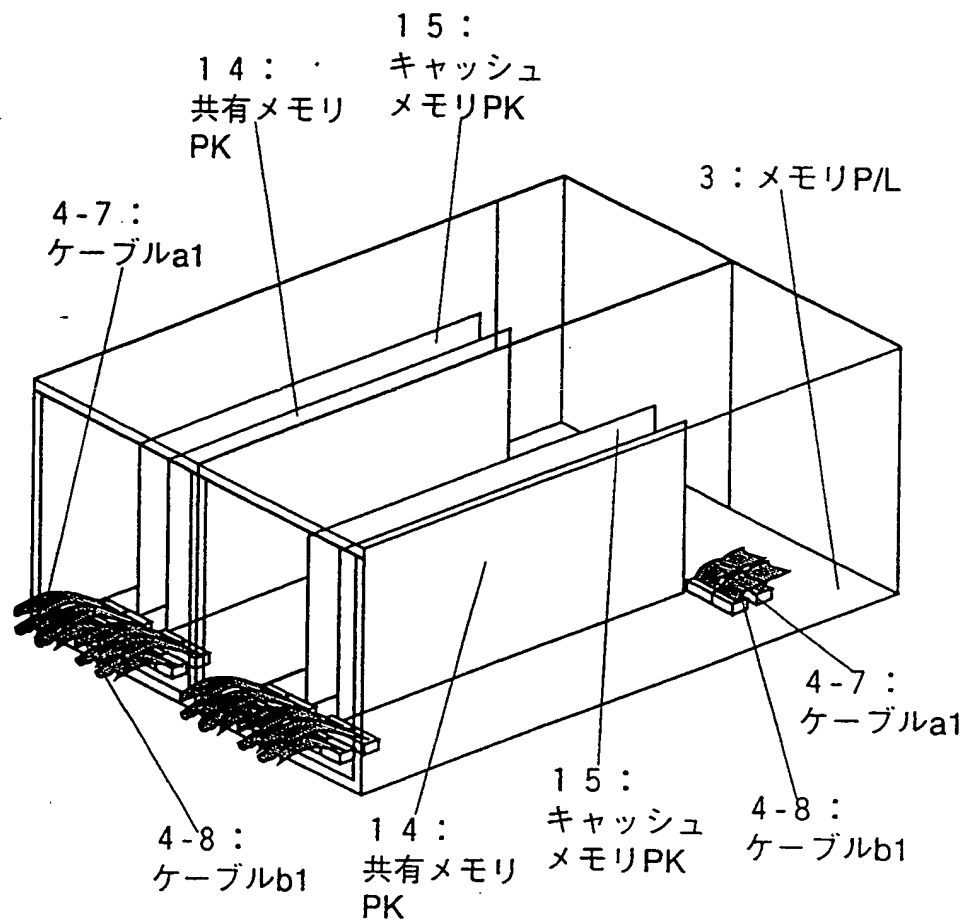
81 /83

第81図



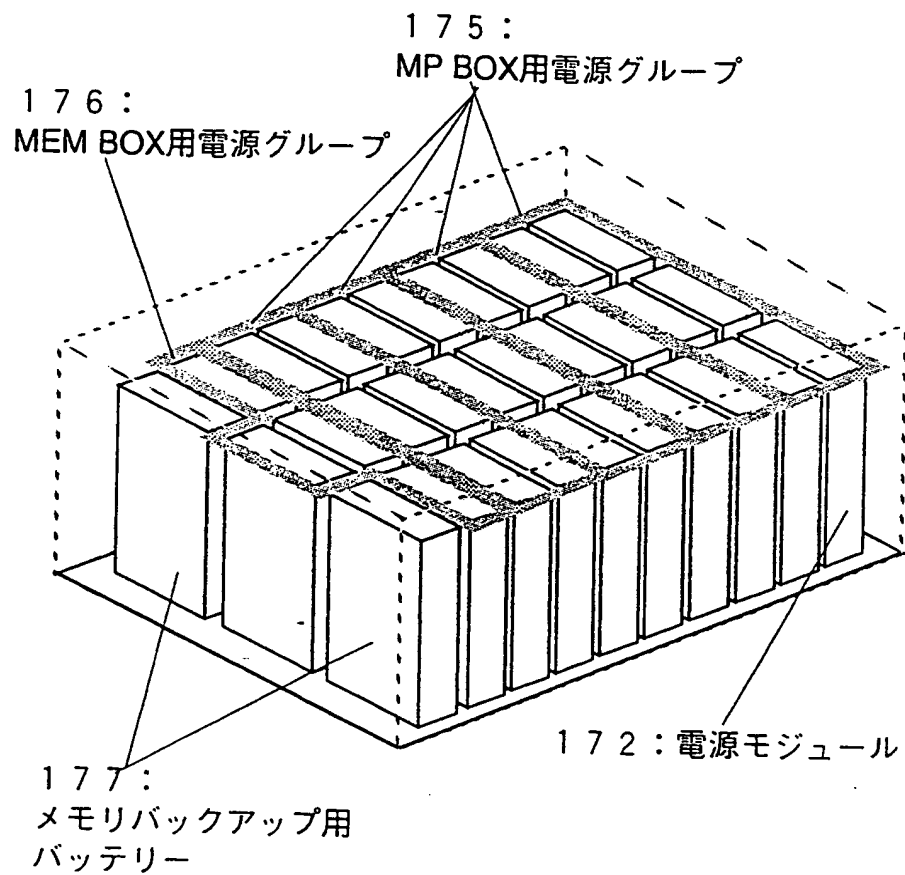
82 /83

第 8 2 図



83 /83

第 8 3 図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02176

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>6</sup> G06F3/06

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>6</sup> G06F3/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998  
Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 7-20994, A (Hitachi, Ltd.), January 24, 1995 (24. 01. 95), Par. Nos. [0040], [0060], [0063], [0080] ; Figs. 7, 8, 12 & DE, 4422786, A1	1, 2, 4, 6, 7, 9, 11, 17, 32-36, 40, 41
A		3, 5, 8, 10, 12-16, 18-31, 37-39, 42

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
August 11, 1998 (11. 08. 98)

Date of mailing of the international search report  
August 25, 1998 (25. 08. 98)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>6</sup> G06F3/06

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>6</sup> G06F3/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-1998年  
 日本国実用新案登録公報 1996-1998年  
 日本国登録実用新案公報 1994-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 7-20994, A (株式会社日立製作所), 24. 1月. 1995 (24. 01. 95) 段落40, 60, 63, 80, 第 7, 8, 12図 & D E, 4422786, A1	1, 2, 4, 6, 7, 9, 11, 17, 32-36, 40, 41
A		3, 5, 8, 10, 12- 16, 18- 31, 37- 39, 42

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 先行文献ではあるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

11. 08. 98

国際調査報告の発送日

25.08.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

野崎 大進

5E

9289

電話番号 03-3581-1101 内線 3523